

Digital phase control using first and second delay lines

Patent Number: [EP1178626](#)
Publication date: 2002-02-06
Inventor(s): NAKAMURA SATOSHI (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: [JP2002050960](#)
Application Number: EP20010118624 20010802
Priority Number(s): JP20000237458 20000804
IPC Classification: H04L7/033; H03L7/081
EC Classification: [H04L7/033E](#)
Equivalents: [US2002036526](#)

Abstract

A digital phase control method phase shifts a predetermined number of clock signals having the same frequency and having different phases at high precision and at high resolution as a whole with its phase interval maintained to keep a predetermined interval. The digital phase control method comprises the steps of preparing fourteen first multi-phase clock signals having a fixed phase, of preparing sixteen second multi-phase clock signals, of phase locking a specific clock signal of the fourteen first multi-phase clock signals with a particular clock signal of the sixteen second multi-phase clock signals, and of changing a combination of the specific and the particular clock signals to be phase-locked to phase shift the second multi-phase clock signals. In addition, in order to generate the second multi-phase clock signals, a delay line comprising ring-shaped chained delay buffers may be used.



Data supplied from the [esp@cenet](#) database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-50960

(P2002-50960A)

(43)公開日 平成14年2月15日 (2002.2.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 03 L 7/081		H 03 K 5/04	5 B 0 7 9
G 06 F 1/06		H 03 L 7/00	C 5 J 0 0 1
	1/10		J 5 J 1 0 6
H 03 K 5/04		G 06 F 1/04	3 1 1 Z
H 03 L 7/00			3 3 0 A

審査請求 未請求 請求項の数16 OL (全 25 頁) 最終頁に続く

(21)出願番号 特願2000-237458(P2000-237458)

(22)出願日 平成12年8月4日 (2000.8.4)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中村 聰

東京都港区芝5丁目7番1号 日本電気株式会社内

(74)代理人 100095740

弁理士 開口 宗昭

Fターム(参考) 5B079 CC02 DD02 DD08

5J001 AA11 BB14 CC03 DD09

5J106 AA04 CC01 CC21 CC59 DD09

DD26 FF03 GG01 HH10 KK05

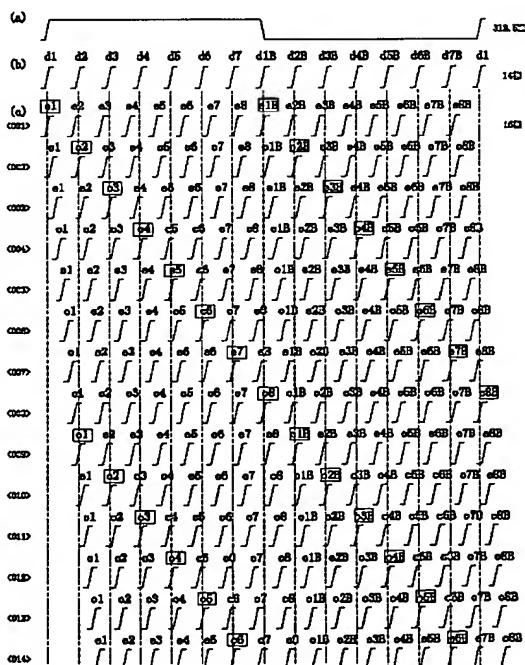
KK17

(54)【発明の名称】 デジタル位相制御方法及びデジタル位相制御回路並びに遅延ロックループ

(57)【要約】

【課題】同一周波数で位相の異なる所定数のクロック信号を、その相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で位相シフトすることができるデジタル位相制御方法及びデジタル位相制御回路を提供する。

【解決手段】位相が固定された14相の第一の多相クロックd1～d7、d1B～d7Bのうちの一のクロックと、16相の第二の多相クロックe1～e8、e1B～e8Bのうちの一のクロックとを位相同期させ、その位相同期させるクロック信号の組み合わせを切り替えることにより、前記第二の多相クロックの位相をシフトする。また、第二の多相クロックを生成する遅延線を構成するバッファを環状に接続した回路を用いる。



【特許請求の範囲】

【請求項1】 位相が固定され均等な相間隔を有する第一の多相クロックと、前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロックとを用い、前記第一の多相クロックを構成する一のクロック信号と、前記第二の多相クロックを構成する一のクロック信号とを位相同期させ、その位相同期させるクロック信号の組み合わせを切り替えることにより、前記第二の多相クロックの位相をシフトすることを特徴とするデジタル位相制御方法。

【請求項2】 位相が固定され均等な相間隔を有する第一の多相クロックを複数の遅延バッファが連接されてなる第一の遅延線により生成し、前記第一の遅延線を構成する遅延バッファの各出力から一の出力を選択してクロック信号を取り出し、その取り出したクロック信号を、複数の遅延バッファが連接されてなる遅延バッファ列のうちの遅延バッファを選択して入力し、前記一の遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファとにより第二の遅延線を動作させ、かかる第二の遅延線により前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロックを生成することを特徴とするデジタル位相制御方法。

【請求項3】 前記遅延バッファ列を環状に構成することを特徴とする請求項2に記載のデジタル位相制御方法。

【請求項4】 前記第一の遅延線及び前記第二の遅延線を遅延ロッклープにより帰還制御することを特徴とする請求項2又は請求項3に記載のデジタル位相制御方法。

【請求項5】 m 段の遅延バッファを連接してなり、遅延ロッклープにより帰還制御される第一の遅延線と、 n 段 ($n \neq m$) 以上の遅延バッファを連接してなる遅延バッファ列と、クロック信号を取り出す遅延バッファを前記 m 段の遅延バッファから選択する第一の選択回路と、前記クロック信号を入力する一の遅延バッファを前記遅延バッファ列から選択する第二の選択回路と、前記クロック信号が入力された一の遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファとからなる n 段の第二の遅延線と、前記第二の遅延線を帰還制御する遅延ロッклープとを備えるデジタル位相制御回路。

【請求項6】 前記遅延バッファ列が環状にされてなることを特徴とする請求項5に記載のデジタル位相制御回路。

【請求項7】 m 段の遅延バッファからなり、遅延ロッклープにより帰還制御される第一の遅延線と、前記 m 段の遅延バッファの各出力のうち一の出力を選択するよう構成された第一の選択回路と、前記第一の選択回路の出力を受ける第二の選択回路と、前記第二の選択回路に並列的に接続された複数個の初段遅延バッファと、前記初段遅延バッファと特性の等しい複数段の遅延バッファ

を環状に連接してなり、遅延バッファ間に前記初段遅延バッファの出力が接続された遅延バッファ列とを備え、前記第二の選択回路は、前記第一の選択回路から受けた信号を入力する一の遅延バッファを前記初段遅延バッファから選択するよう構成され、選択された初段遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファとにより構成される n 段 ($n \neq m$) の遅延線を帰還制御する遅延ロッклープを備えることを特徴とするデジタル位相制御回路。

10 【請求項8】 前記遅延バッファが単相構成にされてなることを特徴とする請求項5、請求項6又は請求項7に記載のデジタル位相制御回路。

【請求項9】 前記遅延バッファが差動構成にされてなることを特徴とする請求項5、請求項6又は請求項7に記載のデジタル位相制御回路。

【請求項10】 前記遅延バッファが差動構成にされ、前記第一の遅延線から取り出した差動信号の反転と非反転とを切り替える切換回路を備えることを特徴とする請求項5、又は請求項6に記載のデジタル位相制御回路。

20 【請求項11】 前記遅延バッファ及び前記初段遅延バッファが差動構成にされ、前記初段遅延バッファに入力する差動信号の反転と非反転とを切り替える切換回路を備えることを特徴とする請求項7に記載のデジタル位相制御回路。

【請求項12】 複数段の遅延バッファが環状に連接されてなる遅延バッファ列を備え、前記遅延バッファ又は前記遅延バッファと他の遅延バッファとにより遅延線を構成する遅延ロッклープ。

30 【請求項13】 複数段の遅延バッファが環状に連接されてなる遅延バッファ列を備え、前記遅延バッファ列内で位置的に循環する一定段数の遅延線を動作させ、前記遅延線の入力信号と出力信号との位相差を検出して前記遅延線を構成する遅延バッファを帰還制御する遅延ロッклープ。

【請求項14】 複数段の遅延バッファを環状に連接してなる遅延バッファ列と、前記遅延バッファのうち最初にクロック信号が入力される一の遅延バッファを選択する選択回路とを備え、前記クロック信号が入力される遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファを含んだ一定段数の遅延線を帰還制御することを特徴とする遅延ロッклープ。

40 【請求項15】 遅延バッファ列内の信号の伝搬を遮断する手段を備えることを特徴とする請求項12、請求項13又は請求項14に記載の遅延ロッклープ。

【請求項16】 請求項12、請求項13、請求項14又は請求項15に記載の遅延ロッклープを備えるデジタル位相制御回路。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】 本発明は、デジタル位相制御

方法及びデジタル位相制御回路に関し、特に、同一周波数で位相の異なる所定数のクロック信号を、その相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で位相シフトする技術に関する。

【0002】

【従来の技術】現在、多重通信、情報の記録・再生の分野において、同一周波数で位相の異なる所定数のクロック信号（多相クロック）を、その相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で位相シフトする技術が要請されている。データのデジタル伝送において、受信したデータ信号を抽出し再生する際、多相クロックを使用したビット同期を行う。その場合、多相クロックから一つのクロックを選択する選択回路を用い、その選択回路を制御する方法の他、多相クロック全体を位相制御（位相シフト）することにより多相クロックをデータ信号に同期させる方法がある。

【0003】図13にオバーサンプリング方式のクロックリカバリにおけるデータとクロックの模式的波形図を示す。図13に示すオバーサンプリングクロックリカバリでは、同一周波数で位相の異なる16相の多相クロックCLK1～CLK16の2本の立ち上がりエッジを1ビットのデータに対応させて位相比較を行っている。オバーサンプリングクロックリカバリによれば、データレートより周波数の低いクロックを用いる、すなわちデータが高速化してもクロック周波数は比較的低いものを用いることができるため、データ伝送の高速化の要請に応えることができる。図13(a)に示すように偶数番号のクロックCLK2、CLK4、…、CLK16がデータの矩形波の値の安定した中央部を打ち抜く。これがデータとクロックが同期した状態である。しかし、ジッタ等を原因として図13(b)に示すようにデータが遅れ又は進み方向に動き出すと、クロックをデータに追従すべく、多相クロックCLK1～CLK16をその相間隔を保ったまま全体としてシフトしなければならない。すなわち、オバーサンプリングクロックリカバリでは、高速伝送されるデータ信号のジッタ等による揺れに、多相クロックを高分解能で精度良く追従させるべく、多相クロックの相間隔を均等に保持したまま、全体として位相をシフト（位相制御）することが要請される。

【0004】従来の位相制御方法として、Phase interp*

$$y^\circ : \sin\{(x-y)\pi/180\} = A0 \cdot \sin\{(x-0)\pi/180\} + A90 \cdot \sin\{(x-90)\pi/180\} \dots \quad (1)$$

式(1)にx=0, x=90を代入すると、係数A0, A90が求まる。

$$A0 = \sin\{(90-y)\pi/180\}, A90 = \sin\{y\pi/180\}$$

【0007】コア部1においては、上記原理に基づきクロック信号をsin波で近似的に置き換え、D/AコンバータDAC1の電流値とD/AコンバータDAC2の電流値の比をA0とA90の比に対応させ、二つのD/Aコンバータ

* olate（位相補間）という方法がある。Phase interpolate（位相補間）法は、与えられた位相の異なる2つのクロック信号から、その間の位相のクロック信号を合成する方法である。以下に図11、図12を参照してこの位相補間法による従来の一例のデジタル位相制御方法について説明する。図11は、従来例における位相補間器（Phase interpolator）のコア部1の概略回路図である。図12は従来例におけるDACコントローラ3及び選択信号の一例を示す概略図である。

【0005】位相補間器は大きくコア部1とフィルタ部（図示せず）とに分けられる。コア部1は、アナログ乗算器の構成を成しクロックの合成を行うものである。フィルタ部はコア部1が生成したクロックの整形を行うものである。コア部1は4つのMOS差動対5-1、5-2、5-3、5-4を有する。各MOS差動対5-1、5-2、5-3、5-4は、ドラインが共通の抵抗4に接続され、ソースがそれぞれD/AコンバータDAC1、DAC2、DAC3、DAC4に接続されている。各D/AコンバータDAC1、DAC2、DAC3、DAC4は、16個のサブ電流を有し、選択的に印加可能にされている。コア部1は、外部のPLL（Phase Locked Loop：位相ロッケループ）より0°のクロックc0、90°のクロックc90、180°のクロックc180、270°のクロックc270を受ける。図11に示すように、MOS差動対5-1が差動クロックc0-c180を受け、MOS差動対5-2が差動クロックc90-c270を受け、MOS差動対5-3が差動クロックc180-c0を受け、MOS差動対5-4が差動クロックc270-c90を受け。0°から90°間の位相のクロックの合成は、D/AコンバータDAC1とD/AコンバータDAC2により行われる。90°から180°間、180°から270°間、270°から360°間の位相のクロックの合成はそれぞれD/AコンバータDAC2とD/AコンバータDAC3、D/AコンバータDAC3とD/AコンバータDAC4、D/AコンバータDAC4とD/AコンバータDAC1により行われる。

【0006】次に、0°から90°間の位相のクロックの合成を例にとってコア部1で行われるクロックの合成方法の原理について説明する。任意のsin波は2つのsin波で合成することができる。例えば、0°から90°間の任意の位相y°のクロックは0°のクロックc0と、90°のクロックc90との重ね合わせで合成することができ、次式(1)で表される。

DAC1、DAC2の各16個のサブ電流源を制御することにより電流値を変化させて、0°から90°間の任意の位相のクロックy°を生成している。

【0008】D/AコンバータDAC1、DAC2、DAC3、DAC4の各16個のサブ電流源の制御（電流源の重み付け）は、図12に示すDACコントローラ3により行われる。DACコントローラ3は、位相比較部（図示せず）で生成

されACRフィルタ（図示せず）で所定の処理が成されたUP/DOWN信号を受け、このUP/DOWN信号に従い図12に示すような各D/AコンバータDAC1、DAC2、DAC3、DAC4について16桁の選択信号を生成し、D/AコンバータDAC1、DAC2、DAC3、DAC4に出力して各16個のサブ電流源を制御する。D/AコンバータDAC1、DAC2、DAC3、DAC4の各16個のサブ電流源は、0/1信号が入力されることにより非選択又は選択状態になる。このようにして電流源の重み付けが行われ、各MOS差動対5-1、5-2、5-3、5-4を介して2つのクロックの重み付けに応じた乗算がなされ、任意の位相のクロックが合成される。

【0009】以上のように、0°、90°、180°、270°の4相のクロックを用い、これらの相のそれぞれに電流の重み付けを行った上でアナログ乗算器により掛け合わせ、任意の位相のクロックを生成しており、これは「2つのsin波にそれぞれ重みを付けて掛け合わせ、加算することによって任意の位相のsin波が得られる」という原理に基づく。なお、この従来例は差動クロックを得るための構成である。このような原理に基づくPhase interpolate（位相補間）法は、特表平9-512966号公報においても利用されている。Phase interpolate（位相補間）法によれば、高分解能のデジタル位相制御も可能である。上述の例のように16桁のデジタル信号で重み付けを行えば、 $90^\circ / 16 = 5.625^\circ$ （クロック周波数が625MHzのとき25ps）の分解能で位相制御することができる。

【0010】

【発明が解決しようとする課題】しかし、以上のPhase interpolate（位相補間）法によるデジタル位相制御によれば以下のような問題がある。

【0011】上述のPhase interpolate法では、0°、90°、180°、270°の4相のクロックを用いる必要がある。また、コア部1には、精度の良い位相制御を行ったクロックを1相得るために、それぞれ電流源を持った4つのアナログ乗算器を構成する必要がある。さらに、多相クロックの位相制御をする場合は、多相クロックの相数分だけ、コア部1を構成する必要がある。例えば、16相からなる多相クロックを制御する場合は、 $4 \times 16 = 64$ 個のアナログ乗算器を構成しなければならない。したがって、多相クロックの位相制御に適用するにあたって、消費電力及び回路規模の増大という問題が生じる。

【0012】上述のPhase interpolate法は、一相のクロックのみを位相制御するためのものであって、1相のクロックを精度良く位相制御することには適する。すなわち、多相クロックの位相制御を行うことを前提にした技術ではない。多相クロックの位相制御に適用する場合には、コア部1を相数分設けた構成になるが、かかる構成では、個々のコア部1が精度良く位相シフトをして

も、独立した制御となり、他のコア部1との位相差を所望の位相差に制御することは行わない。そのため、一のクロックと他のクロックの位相差（相間隔）が乱れるおそれがあり、乱れた場合にそれを補償する仕組みがない。すなわち、多相クロックの位相制御に適用した場合に、多相クロックの相間隔を所望の間隔に精度良く保持する仕組みがなく、多相クロックの制御には適さないのである。そもそも多相クロックの相間隔が精度良く保持されるということが原理的に保証されていない。

【0013】さらに、上述のPhase interpolate法は、「2つのsin波にそれぞれ重みを付けて掛け合わせ、加算することによって任意の位相のsin波が得られる」という原理に基づき、実際には矩形波であるクロック信号をsin波とみなしているため、理論どおりのクロックが合成されず合成波に歪みが生じ、実用に耐えるクロックを合成することは困難である。そのため、上述のようにフィルタ部を設けて合成波を整形することが必須になり、フィルタの設計負担が生じる。アナログフィルタであれば定数の設定が難しく、デジタルフィルタであれば高度の技術力が必要となり、いずれにしても高度な設計力（過大な設計負担）が要求される。また、位相制御が位相補間器のコア部1におけるアナログ的な変化に依存するので、良質のクロックを得るためにアナログ乗算器（コア部1）の精度が重要となり、アナログ乗算器の設計においても高度な設計力（過大な設計負担）が要求される。

【0014】したがって、以上の従来技術では、同一周波数で位相の異なる所定数のクロック信号（多相クロック）を、その相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で位相シフトすることが非常に難しいという問題がある。また、消費電力、回路規模の増大、波形の劣化が懸念され、高度な設計力が要求されるという問題がある。従来、これらの問題を解決しうる他の技術も存在しなかった。

【0015】本発明は以上の従来技術における問題に鑑みてなされたものであって、同一周波数で位相の異なる所定数のクロック信号を、その相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で位相シフトすることができるデジタル位相制御方法及びデジタル位相制御回路を提供することを課題とする。また、そのようなデジタル位相制御回路を低消費電力、小回路規模で実現することを課題とする。さらに、波形の整った良質のクロックを生成することを課題とする。また、通常の設計力で十分な性能を実現可能なデジタル位相制御方法及びデジタル位相制御回路を提供することを課題とする。

【0016】

【課題を解決するための手段】前記課題を解決する本出願第1の発明は、位相が固定され均等な相間隔を有する第一の多相クロックと、前記第一の多相クロックの相間

隔と異なる均等な相間隔を有する第二の多相クロックとを用い、前記第一の多相クロックを構成する一のクロック信号と、前記第二の多相クロックを構成する一のクロック信号とを位相同期させ、その位相同期させるクロック信号の組み合わせを切り替えることにより、前記第二の多相クロックの位相をシフトすることを特徴とするデジタル位相制御方法である。

【0017】ここで「相間隔」とは、一の多相クロックを構成する一のクロック信号と隣接する他のクロック信号すなわち位相が近接する他のクロック信号との位相差をいう。均等な相間隔を有する多相クロックは、例えば、アナログD L L (Delay Locked Loop: 遅延ロックループ)により生成することができる。また、「多相クロック」とは、同一周波数で位相の異なる所定数のクロック信号いう。

【0018】本出願第1の発明のデジタル位相制御方法によれば、第一の多相クロックを構成する一のクロック信号（クロック1-1とする。）と、第二の多相クロックを構成する一のクロック信号（クロック2-1とする。）とを位相同期させた場合に、第一の多相クロックと第二の多相クロックの相間隔が異なるので、クロック1-1に隣接する又は隣接しない他のクロック1-2と、クロック2-1に隣接する又は隣接しない他のクロック2-2とは、第一の多相クロックの相間隔と第二の多相クロックの相間隔との差分又は差分よりさらに短い長さ（位相）だけ、位相が異なることになる。かかる状態から、クロック1-2とクロック2-2とを位相同期させれば、第二の多相クロックが全体として前記差分又は差分よりさらに短い長さ（位相）だけ位相シフトする。したがって、位相同期させるクロックの組み合わせを切り替えることにより、第一の多相クロックの相間隔と第二の多相クロックの相間隔との差分又は差分よりさらに短い長さ（位相）を分解能として第二の多相クロックの位相をシフトすることができる。かかる差分又は差分よりさらに短い長さ（位相）が分解能となるので高分解能に位相制御することができる。なお、上述の差分又は差分よりさらに短い長さ（位相）が、第一の多相クロックの相間隔と第二の多相クロックの相間隔の双方より小さくなるような、第一の多相クロックと第二の多相クロックを組み合わせることが好ましい。高分解能を実現するためである。すなわち本出願第1の発明のデジタル位相制御方法によれば、前記第二の多相クロックを、その相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で位相シフトすることができるという利点があり、前記第二の多相クロックを位相制御された多相クロックとしてデータの記録・再生等に利用することができる。

【0019】また本出願第2の発明は、位相が固定され均等な相間隔を有する第一の多相クロックを複数の遅延バッファが連接されてなる第一の遅延線により生成し、

前記第一の遅延線を構成する遅延バッファの各出力から一の出力を選択してクロック信号を取り出し、その取り出したクロック信号を、複数の遅延バッファが連接されてなる遅延バッファ列のうち一の遅延バッファを選択して入力し、前記一の遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファとにより第二の遅延線を動作させ、かかる第二の遅延線により前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロックを生成することを特徴とするデジタル位相制御方法である。

【0020】本出願第2の発明のデジタル位相制御方法によれば、第一の遅延線からクロック信号を取り出し、その取り出したクロック信号を、遅延バッファ列のうち一の遅延バッファに入力し、前記一の遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファとにより第二の遅延線を動作させ、かかる第二の遅延線により前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロックを生成するするので、第一の多相クロックを構成する一のクロック信号と、第二の多相クロックを構成する一のクロック信号とを位相同期させることができる。また、クロック信号を取り出す遅延バッファと、入力する遅延バッファを選択するので、位相同期させるクロック信号の組み合わせを切り替えることができる。したがって、本出願第2の発明のデジタル位相制御方法によれば、上記本出願第1の発明のデジタル位相制御方法と同様の理論により、前記第二の多相クロックを、その相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で位相シフトすることができるという利点があり、前記第二の多相クロックを位相制御された多相クロックとしてデータの記録・再生等に利用することができる。

【0021】なお、前記遅延線を構成する遅延バッファの数は、単相構成のバッファを使用する場合は多相クロックの相数分が必要となるが、差動構成のバッファを使用する場合は多相クロックの相数分は必要とならず、多相クロックの相数の少なくとも半数分とすればよい。すなわち、単相構成とする場合に比較して差動構成とすれば、バッファ数を多相クロックの相数の半数分まで減らすことができる。

【0022】また本出願第3の発明は、本出願第2の発明のデジタル位相制御方法において、前記遅延バッファ列を環状に構成することを特徴とする。

【0023】本出願第3の発明のデジタル位相制御方法によれば、遅延バッファ列を環状に構成するので、遅延バッファ列には少なくとも第二の遅延線のバッファ数と等しい数のバッファを構成すれば良いこととなり、その結果、バッファ数の増加を防ぐことができるとともに、第二の遅延線から第二の多相クロックを取り出すための配線の増加を防ぐことができるという利点がある。

【0024】また本出願第4の発明は、本出願第2の発

明又は本出願第3の発明のデジタル位相制御方法において、前記第一の遅延線及び前記第二の遅延線を遅延ロックループにより帰還制御することを特徴とする。

【0025】したがって本出願第4の発明のデジタル位相制御方法によれば、遅延ロックループにより第一及び第二の多相クロックの相間隔が固定され、位相制御の分解能の均一性が確保されるとともに、位相制御された第二の多相クロックの相間隔の均一性が確保されるという利点がある。

【0026】以上の本発明のデジタル位相制御方法を実現するデジタル位相制御回路を以下に開示する。

【0027】また本出願第5の発明は、m段の遅延バッファを接続してなり、遅延ロックループにより帰還制御される第一の遅延線と、n段（n≠m）以上の遅延バッファを接続してなる遅延バッファ列と、クロック信号を取り出す遅延バッファを前記m段の遅延バッファから選択する第一の選択回路と、前記クロック信号を入力する一の遅延バッファを前記遅延バッファ列から選択する第二の選択回路と、前記クロック信号が入力された一の遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファとからなるn段の第二の遅延線と、前記第二の遅延線を帰還制御する遅延ロックループとを備えるデジタル位相制御回路である。

【0028】また本出願第6の発明は、本出願第5の発明のデジタル位相制御回路において、前記遅延バッファ列が環状にされてなることを特徴とする。

【0029】また本出願第7の発明は、m段の遅延バッファからなり、遅延ロックループにより帰還制御される第一の遅延線と、前記m段の遅延バッファの各出力のうち一の出力を選択するよう構成された第一の選択回路と、前記第一の選択回路の出力を受ける第二の選択回路と、前記第二の選択回路に並列的に接続された複数個の初段遅延バッファと、前記初段遅延バッファと特性の等しい複数段の遅延バッファを環状に接続してなり、遅延バッファ間に前記初段遅延バッファの出力が接続された遅延バッファ列とを備え、前記第二の選択回路は、前記第一の選択回路から受けた信号を入力する一の遅延バッファを前記初段遅延バッファから選択するよう構成され、選択された初段遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファとにより構成されるn段（n≠m）の遅延線を帰還制御する遅延ロックループを備えることを特徴とするデジタル位相制御回路である。

【0030】また本出願第8の発明は、本出願第5の発明、本出願第6の発明又は本出願第7の発明のデジタル位相制御回路において、前記遅延バッファが単相構成にされてなることを特徴とする。

【0031】遅延バッファを単相構成にした場合、バッファ数及び制御信号の数が増える傾向にあるものの、低消費電力化、制御の単純化が図られるという利点がある。

【0032】また本出願第9の発明は、本出願第5の発明、本出願第6の発明又は本出願第7の発明のデジタル位相制御回路において、前記遅延バッファが差動構成にされてなることを特徴とする。

【0033】遅延バッファを差動構成にした場合、制御が複雑化する傾向にあるものの、バッファ数及び制御信号の数が抑えられ、より良質なクロックが得られるという利点がある。

【0034】また本出願第10の発明は、本出願第5の発明又は本出願第6の発明のデジタル位相制御回路において、前記遅延バッファが差動構成にされ、前記第一の遅延線から取り出した差動信号の反転と非反転とを切り替える切換回路を備えることを特徴とする。

【0035】また本出願第11の発明は、本出願第7の発明のデジタル位相制御回路において、前記遅延バッファ及び前記初段遅延バッファが差動構成にされ、前記初段遅延バッファに入力する差動信号の反転と非反転とを切り替える切換回路を備えることを特徴とする。

【0036】また本出願第12の発明は、複数段の遅延バッファが環状に接続されてなる遅延バッファ列を備え、前記遅延バッファ又は前記遅延バッファと他の遅延バッファとにより遅延線を構成する遅延ロックループである。

【0037】また本出願第13の発明は、複数段の遅延バッファが環状に接続されてなる遅延バッファ列を備え、前記遅延バッファ列内で位置的に循環する一定段数の遅延線を動作させ、前記遅延線の入力信号と出力信号との位相差を検出して前記遅延線を構成する遅延バッファを帰還制御する遅延ロックループである。

【0038】また本出願第14の発明は、複数段の遅延バッファを環状に接続してなる遅延バッファ列と、前記遅延バッファのうち最初にクロック信号が入力される一の遅延バッファを選択する選択回路とを備え、前記クロック信号が入力される遅延バッファとそれに続く前記遅延バッファ列内の遅延バッファを含んだ一定段数の遅延線を帰還制御することを特徴とする遅延ロックループである。

【0039】また本出願第15の発明は、本出願第12の発明、本出願第13の発明又は本出願第14の発明の遅延ロックループにおいて、遅延バッファ列内の信号の伝搬を遮断する手段を備えることを特徴とする。

【0040】また本出願第16の発明は、本出願第12の発明、本出願第13の発明、本出願第14の発明又は本出願第15の発明の遅延ロックループを備えるデジタル位相制御回路である。

【0041】

【発明の実施の形態】以下に本発明の一実施の形態のデジタル位相制御方法及びデジタル位相制御回路につき図面を参照して説明する。以下は本発明の一実施形態であって本発明を限定するものではない。

【0042】実施の形態1

まず、図1及び図2を参照して、本発明の実施の形態1のデジタル位相制御方法及びデジタル位相制御回路につき説明する。図1は、本発明の実施の形態1における要部回路図及び動作説明図である。図2は、本発明の実施の形態1又は実施の形態2におけるクロックエッジの位置関係を示す模式的波形図である。

【0043】図1に示すように、3段の特性の等しい遅延バッファ $a_1 \sim a_3$ を接続してなり、図示しない遅延ロックループにより帰還制御される第一の遅延線 1_1 と、7段の特性の等しい遅延バッファ $b_1 \sim b_7$ を接続してなる遅延バッファ列 1_2 とを構成する。

【0044】第一の遅延線 1_1 は、遅延バッファ a_1 にリファレンスクロック ref.CLK を受ける。図示しない遅延ロックループは、第一の遅延線 1_1 の入力信号と3段の遅延バッファ $a_1 \sim a_3$ を通って総合遅延した出力信号とを位相比較し第一の遅延線 1_1 の入出力信号を位相同期させ総合遅延がクロックの一周期になるように各遅延バッファ $a_1 \sim a_3$ に同一の制御電圧を与えて帰還制御する。第一の遅延線 1_1 の総合遅延時間が遅延ロックループによりクロックの一周期に固定されると、各遅延バッファ $a_1 \sim a_3$ は特性が等しいので、各遅延バッファ $a_1 \sim a_3$ は周期の3分の1の伝搬遅延時間をもって 120° ずつ位相のずれたクロックを出力する。このようにして第一の遅延線 1_1 は、位相が固定され均等な相間隔 (120°) を有する3相の第一の多相クロックを生成する。図1に示すように、これらの3相のクロックを順にクロック①、クロック②、クロック③とする。クロック①の位相を 0° とすると、クロック②の位相は 120° 、クロック③の位相は 240° となる。

【0045】遅延バッファ列 1_2 は接点a、b、c又はdにクロック①、②又は③を受ける。クロック①、②又は③が直接入力された遅延バッファを初段として連続する4つの遅延バッファ ($b_1 \sim b_4$ 、 $b_2 \sim b_5$ 、 $b_3 \sim b_6$ 又は $b_4 \sim b_7$) は図示しない遅延ロックループにより総合遅延がクロック一周期になるように帰還制御される。その結果、連続する4つの遅延バッファ ($b_1 \sim b_4$ 、 $b_2 \sim b_5$ 、 $b_3 \sim b_6$ 又は $b_4 \sim b_7$) が第二の遅延線を構成し、前記第一の多相クロック①、②、③の相間隔と異なる均等な相間隔 (90°) を有する第二の多相クロック $c_1 \sim c_4$ を生成する。図1に示すように、遅延バッファ b_4 の出力をクロック c_1 の供給先へ配線し、遅延バッファ b_5 の出力をクロック c_2 の供給先へ配線し、遅延バッファ b_6 の出力をクロック c_3 の供給先へ配線する。そのように配線しないと、連続する4つの遅延バッファ $b_2 \sim b_5$ が第二の遅延線を構成したときには、クロック c_1 を供給することができず、連続する4つの遅延バッファ $b_3 \sim b_6$ が第二の遅延線を構成したときには、クロック c_1 、 c_2 を供給することができず、連続する4つの遅延バッファ $b_4 \sim b_7$ が

第二の遅延線を構成したときには、クロック c_1 、 c_2 、 c_3 を供給することができないからである。すなわち、クロックの供給を受け利用する側で、クロック c_1 、 c_2 、 c_3 が欠落し、常に4相の多相クロック $c_1 \sim c_4$ を受けることができないからである。第二の多相クロック $c_1 \sim c_4$ は以下に説明するように全体として位相がシフトされる。

【0046】本実施の形態では、クロック①、クロック②及びクロック③のうちから一のクロックを選択して、遅延バッファ列 1_2 の接点a、b、c又はdに入力する。第二の多相クロック $c_1 \sim c_4$ をその相間隔を 90° に保ったまま全体として $0^\circ \sim 360^\circ$ すなわち一周期分位相シフトするためには、 3×4 で12通りの組み合わせが必要である。このとき、位相制御の分解能は $360^\circ / 12 = 30^\circ$ となる。

【0047】クロック①を接点aに入力した同期状態〈11〉では、クロック①とクロック c_1 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 0° 、 90° 、 180° 、 270° となる。クロック②を接点aに入力した同期状態〈12〉では、クロック②とクロック c_1 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 120° 、 210° 、 300° 、 30° となる。クロック③を接点aに入力した同期状態〈13〉では、クロック③とクロック c_1 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 240° 、 330° 、 60° 、 150° となる。

【0048】クロック①を接点bに入力した同期状態〈21〉では、クロック①とクロック c_2 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 270° 、 0° 、 90° 、 180° となる。クロック②を接点bに入力した同期状態〈22〉では、クロック②とクロック c_2 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 30° 、 120° 、 210° 、 300° となる。クロック③を接点bに入力した同期状態〈23〉では、クロック③とクロック c_2 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 150° 、 240° 、 330° 、 60° となる。

【0049】クロック①を接点cに入力した同期状態〈31〉では、クロック①とクロック c_3 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 180° 、 270° 、 0° 、 90° となる。クロック②を接点cに入力した同期状態〈32〉では、クロック②とクロック c_3 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 300° 、 30° 、 120° 、 210° となる。クロック③を接点cに入力した同期状態〈33〉では、クロック③とクロック c_3 が位相同期し、クロック c_1 、 c_2 、 c_3 、 c_4 の位相は順に 60° 、 150° 、 240° 、 330° となる。

【0050】クロック①を接点dに入力した同期状態〈41〉では、クロック①とクロック c_4 が位相同期

し、クロックc1、c2、c3、c4の位相は順に90°、180°、270°、0°となる。クロック②を接点dに入力した同期状態〈42〉では、クロック②とクロックc4が位相同期し、クロックc1、c2、c3、c4の位相は順に210°、300°、30°、120°となる。クロック③を接点dに入力した同期状態〈43〉では、クロック③とクロックc4が位相同期し、クロックc1、c2、c3、c4の位相は順に330°、60°、150°、240°となる。

【0051】以上のように、位相同期させるクロック信号の組み合わせを切り替えることにより、多相クロックc1～c4の位相をシフトする。

【0052】同期状態〈11〉→同期状態〈22〉→同期状態〈33〉→同期状態〈41〉→同期状態〈12〉→同期状態〈23〉→同期状態〈31〉→同期状態〈42〉→同期状態〈13〉→同期状態〈21〉→同期状態〈32〉→同期状態〈43〉の順で又は逆順で切り替える、言い換えれば、第一の多相クロックについてはクロック①→②→③のサイクルで、第二の多相クロックについてはクロックc1→c2→c3→c4のサイクルで位相同期させるクロック信号の組み合わせを切り替えることにより、30°ずつ連続的に4相の第二の多相クロックc1～c4の位相をシフトすることができる。また、任意の同期状態に切り替えることにより、30°を分解能として位相をシフトすることができる。その様子を図2を参照して確認することができる。例えば同期状態〈11〉に注目すると、同期状態〈11〉では、クロック①のエッジとクロックc1のエッジとが同一位相にある。また、同期状態〈11〉では、クロック②のエッジとクロックc2のエッジとには30°の位相差がある。これは、3相の多相クロック①～③の相間隔が120°であり、4相の多相クロックc1～c4の相間隔が90°であるためである。一方、同期状態〈22〉では、クロック②のエッジとクロックc2のエッジとが同一位相にある。したがって、同期状態〈11〉から同期状態〈22〉へ切り替えると、多相クロックc1～c4の位相が図上右に30°シフトする(30°遅れる)こととなる。これが本発明の原理である。のことからも分解能が30°になることがわかる。

【0053】ここで注目すべきことは、第一の多相クロックの相間隔が120°、第二の多相クロックの相間隔が90°であるにもかかわらず、120°及び90°よりも小さい30°とう分解能が達成されることである。言い換えれば、30°という分解能を得るために多相クロックの相間隔を30°まで挟ビッチにする必要がない。そのため、30°という比較的小さい伝搬遅延時間有するバッファを構成する必要がなく、120°、90°という比較的大きい伝搬遅延時間有するバッファを構成すれば足りるので、バッファの伝搬遅延時間よりも微少の分解能を容易に実現することができる。バッ

アの伝搬遅延時間を微少化する技術には時代により限界があるため、バッファの伝搬遅延時間よりも微少の分解能を実現する本発明の技術はその意味で貢献するところが大きい。以上の実施の形態1では理解の容易のため、多相クロックの相数を3と4にしたが、さらに同一周波数で相数の多い(相間隔の狭い)第一の多相クロックと第二の多相クロックとを組み合わせることにより、分解能も向上する。

【0054】実施の形態2

10 次に本発明の図2及び図3を参照して、本発明の実施の形態2のデジタル位相制御方法及びデジタル位相制御回路につき説明する。図2は、本発明の実施の形態1又は実施の形態2におけるクロックエッジの位置関係を示す模式的波形図である。図3は、本発明の実施の形態2における要部回路図及び動作説明図である。

【0055】実施の形態1では、4相の第二の多相クロックc1～c4を生成するのに、7つの遅延バッファb1～b7が必要であり、その上、クロックc1～c4を取り出すために配線が複雑化する。本実施の形態では、

20 図3に示すように、4段の特性の等しい遅延バッファb1～b4を環状に接続してなる遅延バッファ列13を構成する。その他の構成は実施の形態1とほぼ同様とする。これにより、バッファ数及び配線が削減でき、回路の小規模化、消費電力の低減がさらに図られる。

【0056】実施の形態1と同様に、遅延バッファ列13は接点a、b、c又はdにクロック①、②又は③を受ける。クロック①、②又は③が入力された遅延バッファを初段として連続する4つの遅延バッファは第二の遅延線を構成し、図示しない遅延ロックループにより総合遅延がクロックの一周期になるように帰還制御される。すなわち、接点aにクロック①、②又は③が入力された場合には、遅延バッファb1(初段)→遅延バッファb2→遅延バッファb3→遅延バッファb4(最終段)の順でクロックを伝搬させ、遅延バッファb4から遅延バッファb1へのクロックの伝搬は遮断して阻止する(図3にはこの場合を示した)。それとともに、第二の遅延線b1→b2→b3→b4を図示しない遅延ロックループにより帰還制御する。同様に、接点bにクロック①、②又は③が入力された場合には、遅延バッファb2(初段)→遅延バッファb3→遅延バッファb4→遅延バッファb1(最終段)の順でクロックを伝搬させ、遅延バッファb1から遅延バッファb2へのクロックの伝搬は遮断して阻止する。それとともに、第二の遅延線b2→b3→b4→b1を図示しない遅延ロックループにより帰還制御する。同様にして、接点c、dが選択された場合はそれぞれ、第二の遅延線b3→b4→b1→b2、第二の遅延線b4→b1→b2→b3を構成し、図示しない遅延ロックループにより帰還制御する。その結果、

30 実施の形態1と同様に、第二の遅延線を構成し、前記第一の多相クロック①、②、③の相間隔と異なる均等な相

40 遅延バッファb3→遅延バッファb4→遅延バッファb1(最終段)の順でクロックを伝搬させ、遅延バッファb1から遅延バッファb2へのクロックの伝搬は遮断して阻止する。それとともに、第二の遅延線b2→b3→b4→b1を図示しない遅延ロックループにより帰還制御する。同様にして、接点c、dが選択された場合はそれぞれ、第二の遅延線b3→b4→b1→b2、第二の遅延線b4→b1→b2→b3を構成し、図示しない遅延ロックループにより帰還制御する。その結果、実施の形態1と同様に、第二の遅延線を構成し、前記第一の多相クロック①、②、③の相間隔と異なる均等な相

間隔 (90°) を有する第二の多相クロック c1～c4 を生成する。実施の形態 1 と同様にクロック①、クロック②及びクロック③のうちから一のクロックを選択して、遅延バッファ列 1 3 の接点 a、b、c 又は d に入力し、位相同期させるクロック信号の組み合わせを切り替えることにより、多相クロック c1～c4 の位相をシフトする。図 3 及び図 2 に示すように 3×4 で 12 通りの同期状態をつくり、多相クロック c1～c4 を、その相間隔を 90° に保持したまま全体として 30° の分解能で位相シフトすることができる。

【0057】実施の形態 3

次に図 4 を参照して、本発明の実施の形態 3 のデジタル位相制御方法につき説明する。図 4 は、本発明の実施の形態 3 におけるクロックエッジの位置関係を示す模式的波形図であり、(a) は 312.5 MHz のクロックの波形図、(b) は 14 相の多相クロックの立ち上がりエッジを描いた波形図、(c) は 16 相の多相クロックの立ち上がりエッジを描いた波形図である。

【0058】本実施の形態においては、312.5 MHz (周期 3200 ps) のクロック信号が 16 相に展開された多相クロックを、28.6 ps の分解能で位相制御する場合を例にして説明する。図 4 (a) に示すのが 312.5 MHz のクロック波形である。図 4 (a) に示す 312.5 MHz のクロックを、図 4 (b) に示すように均等な相間隔で 14 相に展開した第一の多相クロック d1～d7、d1B～d7B と、図 4 (a) に示す 312.5 MHz のクロックを、図 4 (c) に示すように均等な相間隔で 16 相に展開した第二の多相クロック e1～e8、e1B～e8B とを用いる。したがって、第一の多相クロック d1～d7、d1B～d7B の相間隔は $3200 \text{ ps} / 14 = 228.6 \text{ ps}$ であり、第二の多相クロック e1～e8、e1B～e8B の相間隔は $3200 \text{ ps} / 16 = 200 \text{ ps}$ である。クロック dm とクロック dmB、クロック en とクロック enB は波形を反転した (位相を半周期ずらした) 関係にある (但し、m=1～7、n=1～8)。

【0059】上述の実施の形態 1 の説明からもわかるように、本実施の形態の場合は、 $14 \times 16 = 224$ 通りの同期状態を組み合わせることができる。しかし、14 と 16 とでは、最大公約数が 2 であるので、224 通りのうち同一の同期状態が 2 つずつ存在するので異なる同

期状態は $224 / 2 = 112$ 通りとなる。これを図 4 を参照して説明する。図 4 (b) と図 4 (c) の同期状態 ⟨001⟩、すなわち、クロック d1 とクロック e1 が同期している状態に着目すると、半周期 (1600 ps) 位相の遅れたクロック d1B とクロック e1B も同期している。このように半周期毎に同期したクロックエッジが現れる。クロック d1 とクロック e1 の組み合わせとクロック d1B とクロック e1B の組み合わせは同じ同期状態である。

10 10 【0060】本実施の形態では 14 相のクロック d1～d7、d1B～d7B のうちの一クロックと 16 相のクロック e1～e8、e1B～e8B のうちの一クロックとを組み合わせ (重複する組み合わせを除く)、 $(14 \times 16) / 2 = 112$ 通りの同期状態を切り替えることにより $3200 \text{ ps} / 112 = 28.6 \text{ ps}$ の分解能で 16 相の第二の多相クロックを位相制御する。言い換えれば、3200 ps の周期を 28.6 ps の分解能で 112 分割した位相制御を行う。分解能が 28.6 ps になることは、第一の多相クロックの相間隔 228.6 ps から第二の多相クロックの相間隔 200 ps を差し引くと、28.6 ps になることからも確認することができる。

20 20 【0061】上述した実施の形態 1 の説明からもわかるように、本実施の形態の場合、第一の多相クロックについてはクロック d1 → d2 → d3 → d4 → d5 → d6 → d7 → d1B → d2B → d3B → d4B → d5B → d6B → d7B のサイクルで、第二の多相クロックについてはクロック e1 → e2 → e3 → e4 → e5 → e6 → e7 → e8 → e1B → e2B → e3B → e4B → e5B → e6B → e7B → e8B のサイクルで位相同期させるクロック信号の組み合わせを切り替えることにより、28.6 ps ずつ連続的に 16 相の第二の多相クロック e1～e8、e1B～e8B の位相を相間隔を 200 ps に保持したままシフトすることができる。このようなサイクルにより組み合わされる 112 通りの同期状態を順に、⟨001⟩ から ⟨112⟩ の番号を付与して説明する。同期状態番号とクロックの組み合わせの一覧を表 1 に示した。

30 30 【0062】
40 【表 1】

A	B	C	D	E	F(C-E)	G	A	B	C	D	E	F(C-E)	G
(001)	d1	0.0	e1	0.0	0.0	off	(057)	d1	0.0	e1B	1600.0	1600.0	on
(002)	d2	228.6	e2	200.0	28.6	off	(058)	d2	228.6	e2B	1800.0	1628.6	on
(003)	d3	457.2	e3	400.0	57.2	off	(059)	d3	457.2	e3B	2000.0	1657.2	on
(004)	d4	685.8	e4	600.0	85.8	off	(060)	d4	685.8	e4B	2200.0	1685.8	on
(005)	d5	914.4	e5	800.0	114.4	off	(061)	d5	914.4	e5B	2400.0	1714.4	on
(006)	d6	1143.0	e6	1000.0	143.0	off	(062)	d6	1143.0	e6B	2600.0	1743.0	on
(007)	d7	1371.6	e7	1200.0	171.6	off	(063)	d7	1371.6	e7B	2800.0	1771.6	on
(008)	d1B	1600.2	e8	1400.0	200.2	off	(064)	d1B	1600.2	e8B	3000.0	1800.2	on
(009)	d2B	1828.8	e1B	1600.0	228.8	on	(065)	d2B	1828.8	e1	0.0	1828.8	off
(010)	d3B	2057.4	e2B	1800.0	257.4	on	(066)	d3B	2057.4	e2	200.0	1857.4	off
(011)	d4B	2286.0	e3B	2000.0	286.0	on	(067)	d4B	2286.0	e3	400.0	1886.0	off
(012)	d5B	2514.6	e4B	2200.0	314.6	on	(068)	d5B	2514.6	e4	600.0	1914.6	off
(013)	d6B	2743.2	e5B	2400.0	343.2	on	(069)	d6B	2743.2	e5	800.0	1943.2	off
(014)	d7B	2971.8	e6B	2600.0	371.8	on	(070)	d7B	2971.8	e6	1000.0	1971.8	off
(015)	d1	0.0	e7B	2800.0	400.0	on	(071)	d1	0.0	e7	1200.0	2000.0	off
(016)	d2	228.6	e8B	3000.0	428.6	on	(072)	d2	228.6	e8	1400.0	2028.6	off
(017)	d3	457.2	e1	0.0	457.2	off	(073)	d3	457.2	e1B	1600.0	2057.2	on
(018)	d4	685.8	e2	200.0	485.8	off	(074)	d4	685.8	e2B	1800.0	2085.8	on
(019)	d5	914.4	e3	400.0	514.4	off	(075)	d5	914.4	e3B	2000.0	2114.4	on
(020)	d6	1143.0	e4	600.0	543.0	off	(076)	d6	1143.0	e4B	2200.0	2143.0	on
(021)	d7	1371.6	e5	800.0	571.6	off	(077)	d7	1371.6	e5B	2400.0	2171.6	on
(022)	d1B	1600.2	e6	1000.0	600.2	off	(078)	d1B	1600.2	e6B	2600.0	2200.2	on
(023)	d2B	1828.8	e7	1200.0	628.8	off	(079)	d2B	1828.8	e7B	2800.0	2228.8	on
(024)	d3B	2057.4	e8	1400.0	657.4	off	(080)	d3B	2057.4	e8B	3000.0	2257.4	on
(025)	d4B	2286.0	e1B	1600.0	686.0	on	(081)	d4B	2286.0	e1	0.0	2286.0	off
(026)	d5B	2514.6	e2B	1800.0	714.6	on	(082)	d5B	2514.6	e2	200.0	2314.6	off
(027)	d6B	2743.2	e3B	2000.0	743.2	on	(083)	d6B	2743.2	e3	400.0	2343.2	off
(028)	d7B	2971.8	e4B	2200.0	771.8	on	(084)	d7B	2971.8	e4	600.0	2371.8	off
(029)	d1	0.0	e5B	2400.0	800.0	on	(085)	d1	0.0	e5	800.0	2400.0	off
(030)	d2	228.6	e6B	2600.0	828.6	on	(086)	d2	228.6	e6	1000.0	2428.6	off
(031)	d3	457.2	e7B	2800.0	857.2	on	(087)	d3	457.2	e7	1200.0	2457.2	off
(032)	d4	685.8	e8B	3000.0	885.8	on	(088)	d4	685.8	e8	1400.0	2485.8	off
(033)	d5	914.4	e1	0.0	914.4	off	(089)	d5	914.4	e1B	1600.0	2514.4	on
(034)	d6	1143.0	e2	200.0	943.0	off	(090)	d6	1143.0	e2B	1800.0	2543.0	on
(035)	d7	1371.6	e3	400.0	971.6	off	(091)	d7	1371.6	e3B	2000.0	2571.6	on
(036)	d1B	1600.2	e4	600.0	1000.2	off	(092)	d1B	1600.2	e4B	2200.0	2600.2	on
(037)	d2B	1828.8	e5	800.0	1028.8	off	(093)	d2B	1828.8	e5B	2400.0	2628.8	on
(038)	d3B	2057.4	e6	1000.0	1057.4	off	(094)	d3B	2057.4	e6B	2600.0	2657.4	on
(039)	d4B	2286.0	e7	1200.0	1086.0	off	(095)	d4B	2286.0	e7B	2800.0	2686.0	on
(040)	d5B	2514.6	e8	1400.0	1114.6	off	(096)	d5B	2514.6	e8B	3000.0	2714.6	on
(041)	d6B	2743.2	e1B	1600.0	1143.2	on	(097)	d6B	2743.2	e1	0.0	2743.2	off
(042)	d7B	2971.8	e2B	1800.0	1171.8	on	(098)	d7B	2971.8	e2	200.0	2771.8	off
(043)	d1	0.0	e3B	2000.0	1200.0	on	(099)	d1	0.0	e3	400.0	2800.0	off
(044)	d2	228.6	e4B	2200.0	1228.6	on	(100)	d2	228.6	e4	600.0	2828.6	off
(045)	d3	457.2	e5B	2400.0	1257.2	on	(101)	d3	457.2	e5	800.0	2857.2	off
(046)	d4	685.8	e6B	2600.0	1285.8	on	(102)	d4	685.8	e6	1000.0	2885.8	off
(047)	d5	914.4	e7B	2800.0	1314.4	on	(103)	d5	914.4	e7	1200.0	2914.4	off
(048)	d6	1143.0	e8B	3000.0	1343.0	on	(104)	d6	1143.0	e8	1400.0	2943.0	off
(049)	d7	1371.6	e1	0.0	1371.6	off	(105)	d7	1371.6	e1B	1600.0	2971.6	on
(050)	d1B	1600.2	e2	200.0	1400.2	off	(106)	d1B	1600.2	e2B	1800.0	3000.2	on
(051)	d2B	1828.8	e3	400.0	1428.8	off	(107)	d2B	1828.8	e3B	2000.0	3028.8	on
(052)	d3B	2057.4	e4	600.0	1457.4	off	(108)	d3B	2057.4	e4B	2200.0	3057.4	on
(053)	d4B	2286.0	e5	800.0	1486.0	off	(109)	d4B	2286.0	e5B	2400.0	3086.0	on
(054)	d5B	2514.6	e6	1000.0	1514.6	off	(110)	d5B	2514.6	e6B	2600.0	3114.6	on
(055)	d6B	2743.2	e7	1200.0	1543.2	off	(111)	d6B	2743.2	e7B	2800.0	3143.2	on
(056)	d7B	2971.8	e8	1400.0	1571.8	off	(112)	d7B	2971.8	e8B	3000.0	3171.8	on

【0063】表1において、項目Aは同期状態番号、項目Bは第一の多相クロックd1～d7、d1B～d7Bのうち同期させるクロックの参照符号、項目Cはそのクロックの位相、項目Dは第二の多相クロックe1～e8、e1B～e8Bのうち同期させるクロックの参照符号、項目Eはそのクロックとクロックe1との位相差、項目Fはクロックe1の位相である。表1の項目BとDにおいてdmとenの組み合わせは、dmBとenBの組み合わせとしても同じであり、dmBとenBの組み合わせは、dmとenBの組み合わせとしても同じであり、dmBとenBの組み合わせは、dmBとenの組み合わせとしても同じである（但し、m=1～7、n=1～8）。なぜなら、上述したように同時に同期する関係

にある組み合わせだからである。以下の説明においては、同時に同期する2つの組み合わせのうち一方のみについて述べ、他方を省略する。基準クロックはクロックd1とする。

【0064】次に、各同期状態における第二の多相クロックe1～e8、e1B～e8Bの位相を調べる。第二の多相クロックe1～e8、e1B～e8Bは200psの相間隔を持っているのでクロックe1を代表としてその位相を調べる。クロックe1の位相が特定された場合、クロックe2～e8、e1B～e8Bの位相は順に200psずつ加えた値である。第一の多相クロックd1～d7、d1B～d7Bは228.6の相間隔を持って位相が固定されている。クロックd1の位相を基準と

すると、表1にも示すようにクロックd1～d7、d1B～d7Bの位相は順に、d1:0ps、d2:22.6ps、d3:457.2ps、d4:685.8ps、d5:914.4ps、d6:1143ps、d7:1371.6ps、d1B:1600.2ps、d2B:1828.8ps、d3B:2057.4ps、d4B:2286ps、d5B:2514.6ps、d6B:2743.2ps、d7B:2971.8psである。同期状態<001>においては、クロックd1とクロックe1が同期しているのでクロックe1の位相は0psである。同期状態<002>においては、クロックd2とクロックe2が同期しているので、クロックd2の位相228.6psからクロックe2とクロックe1との位相差200psを差し引いて、クロックe1の位相は28.6psである。同様にして、同期状態<003>～<112>までクロックe1の位相が求まる。なお、例えば同期状態<015>においては、クロックd1とクロックe7Bが同期しているので、クロックd1の位相0psからクロックe7Bとクロックe1との位相差2800psを差し引いて、-2800psとなる。このように一周期内の数値範囲外の場合は、一周期内の数値範囲($0 \leq x < 3200$)に換算し、クロックe1の位相は400psである。表1を参照するとわかるようにクロックe1が28.6psの分解能で位相シフトされている。このことは、16相の第二の多相クロックe1～e8、e1B～e8Bが相間隔を200psに保持したまま28.6psの分解能で位相シフトされることを示す。同期状態を<001>→…→<112>→<001>→…の方向で順次切り替えることにより16相のクロックe1～e8、e1B～e8Bの位相を28.6psの分解能で遅らせることができる。反対に、同期状態を<001>→<112>→…→<001>→…の方向で順次切り替えることにより16相のクロックe1～e8、e1B～e8Bの位相を28.6psの分解能で進めさせることができる。

【0065】図4(c)には、同期状態<001>から<014>までを描いた。図4(c)の各同期状態において同期しているクロックの符号に枠囲みを付した。同期状態<002>の場合は、表1を参照するとクロックd2とクロックe2とが位相同期するクロックの組み合わせである。図4を参照するとクロックd2のエッジとクロックe2のエッジとが同一位相にある。この場合、クロックe3の位相はクロックd3の位相より28.6ps進んでいる。したがって、クロックd3とクロックe3を同期させる(同期状態<003>にする)ことにより、同期状態<002>に対して16相のクロックe1～e8、e1B～e8Bの位相を28.6ps遅らせることができる。また、同期状態<002>の場合は、図4を参照するとクロックe1の位相はクロックd1の位相より28.6ps遅れている。したがって、クロックd1とクロックe1を同期させる(同期状態<001>)することにより、同期状態<002>に対して16相のクロックe1～e8、e1B～e8Bの位相を28.6ps進めさせることができる。その他のすべての同期状態においても以上のような位相シフトの原理が成立する。

クロックd1とクロックe1を同期させる(同期状態<001>)ことにより、同期状態<002>に対して16相のクロックe1～e8、e1B～e8Bの位相を28.6ps進めさせることができる。その他のすべての同期状態においても以上のような位相シフトの原理が成立する。

【0066】以上のように実施の形態3のデジタル位相制御方法によれば、16相の多相クロックをその相間隔を200psに保持したまま全体として28.6psの分解能で、進み方向にも遅れ方向にも無限に(サイクリックに)位相シフト(位相制御)することができる。

【0067】実施の形態4

次ぎ図5を参照し、上記実施の形態3のデジタル位相制御方法を実現するデジタル位相制御回路の一実施形態を実施の形態4として説明する。図5は本発明の実施の形態4のデジタル位相制御回路の概略図である。本実施の形態は、単相の回路構成により7相のクロックのうちの一クロックと8相のクロックのうちの一クロックとを組み合わせ、 $7 \times 8 = 56$ 通りの同期状態を切り替えることにより3200ps/56=57psの分解能で16相の多相クロックを位相制御する場合の一実施形態である。7相の多相クロックと16相の多相クロックを用いれば、実施の形態3と同様に3200psの周期を28.6psの分解能で112分割した位相制御を行うことができる。しかし本実施の形態では、最小の分解能は求めず16相の多相クロックから一つ飛びに位相同期させるクロックを選択することによって、16相の多相クロックを57psの分解能で位相制御する場合を示す。本発明の方法を利用する用途によっては16相の多相クロックを位相制御する場合に57ps程度の分解能で十分な場合もあるからである。

【0068】図5に示すように本実施の形態のデジタル位相制御回路は、7段の単相の遅延バッファf1～f7を接続してなり、図示しない遅延ロックループにより帰還制御される第一の遅延線14と、16段の単相の遅延バッファg1～g16を環状に接続してなる遅延バッファ列15と、クロック信号を取り出す一の遅延バッファを前記7段の遅延バッファf1～f7から選択する第一の選択回路S9と、前記クロック信号を入力する一の遅延バッファを前記遅延バッファ列15内の8つの遅延バッファg1、g3、g5、g7、g9、g11、g13、g15の中から選択する第二の選択回路S1～S8と備える。第二の選択回路S1～S8は順に、遅延バッファg1～g2間、g3～g4間、g5～g6間、g7～g8間、g9～g10間、g11～g12間、g13～g14間、g15～g16間に挿入配置される。第二の選択回路S1～S8は微少の遅延時間を持っているので、遅延バッファg2～g3間、g4～g5間、g6～g7間、g8～g9間、g10～g11間、g12～g13間、g14～g15間、g16～g1間にも第二の

選択回路S1～S8と同等の遅延特性のダミー回路41を挿入配置する。これにより、より均等な多相クロックを生成することができる。

【0069】第一の遅延線14から出力される7相の第一の多相クロックに実施の形態3における第一の多相クロックd1～d7、d1B～d7Bのうち位相が対応するクロックと同一の参照符号を付することにする。すなわち、第一の遅延線14からは7相の第一の多相クロックd1、d3、d5、d7、d2B、d4B、d6Bが出力される。また、遅延バッファ列15から出力される16相の第二の多相クロックは実施の形態3の16相*

A	B	C	D	E	F(C-E)	S(x)	A	B	C	D	E	F(C-E)	S(x)
(001)d1	0.0	e1	0.0	0.0	S1	(057)d1	0.0	e1B	1600.0	1600.0	S5		
(003)d3	457.2	e3	400.0	57.2	S2	(059)d3	457.2	e3B	2000.0	1657.2	S6		
(005)d5	914.4	e5	800.0	114.4	S3	(061)d5	914.4	e5B	2400.0	1714.4	S7		
(007)d7	1371.6	e7	1200.0	171.6	S4	(063)d7	1371.6	e7B	2800.0	1771.6	S8		
(009)d2B	1828.8	e1B	1600.0	228.8	S5	(065)d2B	1828.8	e1	0.0	1828.8	S1		
(011)d4B	2286.0	e3B	2000.0	286.0	S6	(067)d4B	2286.0	e3	400.0	1886.0	S2		
(013)d6B	2743.2	e5B	2400.0	343.2	S7	(069)d6B	2743.2	e5	800.0	1943.2	S3		
(015)d1	0.0	e7B	2800.0	400.0	S8	(071)d1	0.0	e7	1200.0	2000.0	S4		
(017)d3	457.2	e1	0.0	457.2	S1	(073)d3	457.2	e1B	1600.0	2057.2	S5		
(019)d5	914.4	e3	400.0	514.4	S2	(075)d5	914.4	e3B	2000.0	2114.4	S6		
(021)d7	1371.6	e5	800.0	571.6	S3	(077)d7	1371.6	e5B	2400.0	2171.6	S7		
(023)d2B	1828.8	e7	1200.0	628.8	S4	(079)d2B	1828.8	e7B	2800.0	2228.8	S8		
(025)d4B	2286.0	e1B	1600.0	686.0	S5	(081)d4B	2286.0	e1	0.0	2286.0	S1		
(027)d6B	2743.2	e3B	2000.0	743.2	S6	(083)d6B	2743.2	e3	400.0	2343.2	S2		
(029)d1	0.0	e5B	2400.0	800.0	S7	(085)d1	0.0	e5	800.0	2400.0	S3		
(031)d3	457.2	e7B	2800.0	857.2	S8	(087)d3	457.2	e7	1200.0	2457.2	S4		
(033)d5	914.4	e1	0.0	914.4	S1	(089)d5	914.4	e1B	1600.0	2514.4	S5		
(035)d7	1371.6	e3	400.0	971.6	S2	(091)d7	1371.6	e3B	2000.0	2571.6	S6		
(037)d2B	1828.8	e5	800.0	1028.8	S3	(093)d2B	1828.8	e5B	2400.0	2628.8	S7		
(039)d4B	2286.0	e7	1200.0	1086.0	S4	(095)d4B	2286.0	e7B	2800.0	2686.0	S8		
(041)d6B	2743.2	e1B	1600.0	1143.2	S5	(097)d6B	2743.2	e1	0.0	2743.2	S1		
(043)d1	0.0	e3B	2000.0	1200.0	S6	(099)d1	0.0	e3	400.0	2800.0	S2		
(045)d3	457.2	e5B	2400.0	1257.2	S7	(101)d3	457.2	e5	800.0	2857.2	S3		
(047)d5	914.4	e7B	2800.0	1314.4	S8	(103)d5	914.4	e7	1200.0	2914.4	S4		
(049)d7	1371.6	e1	0.0	1371.6	S1	(105)d7	1371.6	e1B	1600.0	2971.6	S5		
(051)d2B	1828.8	e3	400.0	1428.8	S2	(107)d2B	1828.8	e3B	2000.0	3028.8	S6		
(053)d4B	2286.0	e5	800.0	1486.0	S3	(109)d4B	2286.0	e5B	2400.0	3086.0	S7		
(055)d6B	2743.2	e7	1200.0	1543.2	S4	(111)d6B	2743.2	e7B	2800.0	3143.2	S8		

【0072】表2の項目A～Fについては、表1の奇数番号の同期状態のみを抜粋したものに等しい。項目S(x)は選択回路S1～S8のうちonになっている選択回路の参照符号である。選択回路S1～S8のうち一つの選択回路がonになっている時には、残りの7つの選択回路はoffになっている。すなわち、選択回路S1～S8の中で、同時にonになっている選択回路は存在しない。選択回路S1～S8のうちoffになっている選択回路は、表の上では省略する。リファレンスクロックref.c1kは、単相信号であり、外部のPLL(Phase Locked Loop: 位相ロックループ)等により生成され供給される。図示しない遅延ロックループは、位相比較器、チャージポンプ、ローパスフィルタ等の構成要素を有し、遅延バッファf1への入力クロック(=リファレンスクロックref.c1k)と遅延バッファf7の出力クロック(=クロックd6B)とを位相比較して位相差を検出する。さらに、その位相差に基づき制御電圧を生成し、それを各遅延バッファf1～f7に印加して第一の遅延線14の総合遅延時間がクロックの一周期(3200ps)になるように帰還制御する。これにより、各遅延バ

*の第二の多相クロックに対応するので同一の参照符号を付する。すなわち、遅延バッファ列15からは16相の第二の多相クロックe1～e8、e1B～e8Bが出力される。

【0070】本実施の形態においては、表1における奇数番号の同期状態<001>、<003>、<005>…<111>のみを利用する。表2に本実施の形態における各同期状態の一覧を示した。

10 【表2】

ッファf1～f7の伝搬遅延時間が3200/7(ps)に保たれ、7相の第一の多相クロックd1、d3、d5、d7、d2B、d4B、d6Bの相間隔が3200/7(ps)に保たれる。項目Bのクロックd1、d3、d5、d7、d2B、d4B、d6Bの選択は、選択回路S9が行う。選択回路S1はonになると、選択回路S9によって選択されている単相クロックを、遅延バッファg2に入力するとともに、遅延バッファg1から遅延バッファg2へのクロックの伝搬を遮断する。この時、他の選択回路S2～S8はoffになりクロックの入出力を行わない。この選択回路S1～S8の切り替わりと同時に、図示しない遅延ロックループは、遅延バッファg2を初段バッファとし遅延バッファg1を最終段バッファとする16段の第二の遅延線をその総合遅延時間(選択回路S1～S8及び8つのダミー回路41の遅延時間を含む)がクロックの一周期(3200ps)になるように帰還制御する。選択回路S1～S8及び8つのダミー回路41は微少ではあるが伝搬遅延時間を有するので、厳密には、第二の遅延線は選択回路S1～S8及び8つのダミー回路41と、遅延バッファg1～g

40

16とからなり、図示しない遅延ロックループは、選択回路S1への入力クロックと、遅延バッファg1の出力クロックとを位相比較して制御する。この遅延ロックループの帰還制御により、各遅延バッファg1～g16の伝搬遅延時間が $3200/16$ (ps)に保たれ、16相の第二の多相クロックe1～e8、e1B～e8Bの相間隔が $3200/16$ (ps)に保たれる。選択回路S2～S8の動作及びそれに伴った図示しない遅延ロックループの動作も同様である。以上のように選択回路S1～S8は遅延バッファ列内の信号の伝搬を遮断する手段を兼ねている。

【0073】例えば同期状態〈001〉では、選択回路S9においてクロックd1が選択され、選択回路S1がonになりクロックd1を遅延バッファg2に入力するとともに、遅延バッファg1から遅延バッファg2へのクロックの伝搬を遮断する。これによりクロックd1とクロックe1の位相が同期する(但し、図上クロックd1とクロックe1との間には選択回路S9が介在するので、厳密には、クロックd1とクロックe1とは、選択回路S9の遅延時間分の位相差を持っている。)。このとき、表2を参照するとクロックe1の位相は0psである。この同期状態〈001〉においては、図示しない遅延ロックループは、遅延バッファg2を初段バッファとし遅延バッファg1を最終段バッファとする16段の第二の遅延線をその総合遅延時間(選択回路S1～S8及び8つのダミーリンク41の遅延時間を含む)がクロックの一周期(3200ps)になるように帰還制御する。

【0074】また、例えば同期状態〈087〉では、選択回路S9においてクロックd3が選択され、選択回路S4がonになりクロックd3を遅延バッファg8に入力するとともに、遅延バッファg7から遅延バッファg8へのクロックの伝搬を遮断する。これによりクロックd3とクロックe7の位相が同期する(但し、図上クロックd3とクロックe7との間には選択回路S9が介在するので、厳密には、クロックd3とクロックe7とは、選択回路S9の遅延時間分の位相差を持っている。)。このとき、表2を参照するとクロックe1の位相は2457.2psである。この同期状態〈087〉において、図示しない遅延ロックループは遅延バッファg8を初段バッファとし、遅延バッファg7を最終段バ

ッファとする16段の第二の遅延線をその総合遅延時間が(選択回路S1～S8及び8つのダミーリンク41の遅延時間を含む)クロックの一周期(3200ps)になるように帰還制御する。

【0075】以上のように、遅延バッファ列15内で初段及び最終段(その中間の段を含む)が位置的に循環する一定段数(本実施の形態においては16段)の第二の遅延線を動作させるのが、本発明の実施の形態4のデジタル位相制御回路及び遅延ロックループの特徴の一つである。本実施の形態のデジタル位相制御回路によれば、表2に示した〈001〉～〈111〉の56の同期状態をつくりだし、切り替えることができる。また、遅延ロックループにより第一の多相クロック及び第二の多相クロックの相間隔が精度良く等間隔に保持される。したがて、16相の第二の多相クロックe1～e8、e1B～e8Bをその相間隔を200psに保持したまま全体として57psの分解能で精度良く、進み方向にも遅れ方向にも無限に(サイクリックに)位相シフト(位相制御)することができる。以上のようにして、第一の多相クロックの相間隔と第二の多相クロックの相間隔との差分よりさらに短い長さ(位相)を分解能として第二の多相クロックの位相をシフトすることができる。

【0076】なお、上述したように7相の多相クロックと16相の多相クロックを用いれば、実施の形態3と同様に3200psの周期を28.6psの分解能で112分割した位相制御を行うことができる。その場合、以上の実施の形態4の回路構成に対して、遅延バッファg2～g3間、g4～g5間、g6～g7間、g8～g9間、g10～g11間、g12～g13間、g14～g15間、g16～g1間にも第二の選択回路を設ける。そのようにすれば、112の同期状態をつくりだし、切り替えることができるようになるので、実施の形態3と同様に3200psの周期を28.6psの分解能で112分割した位相制御を行うことが可能である。但し、7相の第一の多相クロックは、クロックd1、d3、d5、d7、d2B、d4B、d6Bによって構成され、クロックd2、d4、d6、d1B、d3B、d5B、d7Bを有しないため、図6及び表3に示すような位相制御を行う。

【0077】

【表3】

A	B	C	D	E	F(C-E)	A	B	C	D	E	F(C-E)
(001)	d1	0.0	e1	0.0	0.0	(057)	d1	0.0	e1B	1600.0	1600.0
(002)	d2B	1828.8	e2B	1800.0	28.6	(058)	d2B	1828.8	e2	200.0	1628.6
(003)	d3	457.2	e3	400.0	57.2	(059)	d3	457.2	e3B	2000.0	1657.2
(004)	d4B	2286.0	e4B	2200.0	85.8	(060)	d4B	2286.0	e4	600.0	1685.8
(005)	d5	914.4	e5	800.0	114.4	(061)	d5	914.4	e5B	2400.0	1714.4
(006)	d6B	2743.2	e6B	2600.0	143.0	(062)	d6B	2743.2	e6	1000.0	1743.0
(007)	d7	1371.6	e7	1200.0	171.6	(063)	d7	1371.6	e7B	2800.0	1771.6
(008)	d1	0.0	e8B	3000.0	200.2	(064)	d1	0.0	e8	1400.0	1800.2
(009)	d2B	1828.8	e1B	1600.0	228.8	(065)	d2B	1828.8	e1	0.0	1828.8
(010)	d3	457.2	e2	200.0	257.4	(066)	d3	457.2	e2B	1800.0	1857.4
(011)	d4B	2286.0	e3B	2000.0	286.0	(067)	d4B	2286.0	e3	400.0	1886.0
(012)	d5	914.4	e4	600.0	314.6	(068)	d5	914.4	e4B	2200.0	1914.6
(013)	d6B	2743.2	e5B	2400.0	343.2	(069)	d6B	2743.2	e5	800.0	1943.2
(014)	d7	1371.6	e6	1000.0	371.8	(070)	d7	1371.6	e6B	2600.0	1971.8
(015)	d1	0.0	e7B	2800.0	400.0	(071)	d1	0.0	e7	1200.0	2000.0
(016)	d2B	1828.8	e8	1400.0	428.6	(072)	d2B	1828.8	e8B	3000.0	2028.6
(017)	d3	457.2	e1	0.0	457.2	(073)	d3	457.2	e1B	1600.0	2057.2
(018)	d4B	2286.0	e2B	1800.0	485.8	(074)	d4B	2286.0	e2	200.0	2085.8
(019)	d5	914.4	e3	400.0	514.4	(075)	d5	914.4	e3B	2000.0	2114.4
(020)	d6B	2743.2	e4B	2200.0	543.0	(076)	d6B	2743.2	e4	600.0	2143.0
(021)	d7	1371.6	e5	800.0	571.6	(077)	d7	1371.6	e5B	2400.0	2171.6
(022)	d1	0.0	e6B	2600.0	600.2	(078)	d1	0.0	e6	1000.0	2200.2
(023)	d2B	1828.8	e7	1200.0	628.8	(079)	d2B	1828.8	e7B	2800.0	2228.8
(024)	d3	457.2	e8B	3000.0	657.4	(080)	d3	457.2	e8	1400.0	2257.4
(025)	d4B	2286.0	e1B	1600.0	686.0	(081)	d4B	2286.0	e1	0.0	2286.0
(026)	d5	914.4	e2	200.0	714.6	(082)	d5	914.4	e2B	1800.0	2314.6
(027)	d6B	2743.2	e3B	2000.0	743.2	(083)	d6B	2743.2	e3	400.0	2343.2
(028)	d7	1371.6	e4	600.0	771.8	(084)	d7	1371.6	e4B	2200.0	2371.8
(029)	d1	0.0	e5B	2400.0	800.0	(085)	d1	0.0	e5	800.0	2400.0
(030)	d2B	1828.8	e6	1000.0	828.6	(086)	d2B	1828.8	e6B	2600.0	2428.6
(031)	d3	457.2	e7B	2800.0	857.2	(087)	d3	457.2	e7	1200.0	2457.2
(032)	d4B	2286.0	e8	1400.0	885.8	(088)	d4B	2286.0	e8B	3000.0	2485.8
(033)	d5	914.4	e1	0.0	914.4	(089)	d5	914.4	e1B	1600.0	2514.4
(034)	d6B	2743.2	e2B	1800.0	943.0	(090)	d6B	2743.2	e2	200.0	2543.0
(035)	d7	1371.6	e3	400.0	971.6	(091)	d7	1371.6	e3B	2000.0	2571.6
(036)	d1	0.0	e4B	2200.0	1000.2	(092)	d1	0.0	e4	800.0	2600.2
(037)	d2B	1828.8	e5	800.0	1028.8	(093)	d2B	1828.8	e5B	2400.0	2628.8
(038)	d3	457.2	e6B	2600.0	1057.4	(094)	d3	457.2	e6	1000.0	2657.4
(039)	d4B	2286.0	e7	1200.0	1086.0	(095)	d4B	2286.0	e7B	2800.0	2686.0
(040)	d5	914.4	e8B	3000.0	1114.6	(096)	d5	914.4	e8	1400.0	2714.6
(041)	d6B	2743.2	e1B	1600.0	1143.2	(097)	d6B	2743.2	e1	0.0	2743.2
(042)	d7	1371.6	e2	200.0	1171.8	(098)	d7	1371.6	e2B	1800.0	2771.8
(043)	d1	0.0	e3B	2000.0	1200.0	(099)	d1	0.0	e3	400.0	2800.0
(044)	d2B	1828.8	e4	600.0	1228.6	(100)	d2B	1828.8	e4B	2200.0	2828.6
(045)	d3	457.2	e5B	2400.0	1257.2	(101)	d3	457.2	e5	800.0	2857.2
(046)	d4B	2286.0	e6	1000.0	1285.8	(102)	d4B	2286.0	e6B	2600.0	2885.8
(047)	d5	914.4	e7B	2800.0	1314.4	(103)	d5	914.4	e7	1200.0	2914.4
(048)	d6B	2743.2	e8	1400.0	1343.0	(104)	d6B	2743.2	e8B	3000.0	2943.0
(049)	d7	1371.6	e1	0.0	1371.6	(105)	d7	1371.6	e1B	1600.0	2971.6
(050)	d1	0.0	e2B	1800.0	1400.2	(106)	d1	0.0	e2	200.0	3000.2
(051)	d2B	1828.8	e3	400.0	1428.8	(107)	d2B	1828.8	e3B	2000.0	3028.8
(052)	d3	457.2	e4B	2200.0	1457.4	(108)	d3	457.2	e4	600.0	3057.4
(053)	d4B	2286.0	e5	800.0	1486.0	(109)	d4B	2286.0	e5B	2400.0	3086.0
(054)	d5	914.4	e6B	2600.0	1514.6	(110)	d5	914.4	e6	1000.0	3114.6
(055)	d6B	2743.2	e7	1200.0	1543.2	(111)	d6B	2743.2	e7B	2800.0	3143.2
(056)	d7	1371.6	e8B	3000.0	1571.8	(112)	d7	1371.6	e8	1400.0	3171.8

【0078】すなわち、第一の多相クロックについてはクロックd1→d2B→d3→d4B→d5→d6B→d7のサイクルで、第二の多相クロックについてはクロックe1→e2B→e3→e4B→e5→e6B→e7→e8B→e1B→e2→e3B→e4→e5B→e6→e7B→e8のサイクルで位同期させるクロック信号の組み合わせを切り替えることにより、28.6psずつ連続的に16相の第二の多相クロックe1～e8、e1B～e8Bの位相を相間隔を200psに保持したままシフトすることができる。以上のようにして、第一の多相クロックの相間隔と第二の多相クロックの相間隔

40 との差分よりさらに短い長さ（位相）を分解能として第二の多相クロックの位相をシフトすることができる。

【0079】実施の形態5

次ぎに、図7を参照し、上記実施の形態3のデジタル位相制御方法を実現する他のデジタル位相制御回路の一実施形態を実施の形態5として説明する。図7は本発明の実施の形態5のデジタル位相制御回路の概略図である。本実施の形態は実施の形態4とは異なり、差動の回路構成により位相制御する場合の一実施形態であって、7対の差動クロックのうちの一対の差動クロックと4対の差動クロックのうちの一対の差動クロックとを相対的に反

転させた場合も含めて組み合わせ、 $7 \times 4 \times 2 = 56$ 通りの同期状態を切り替えることにより $3200 \text{ p s} / 56 = 57 \text{ p s}$ の分解能で 16 相の多相クロックを位相制御する場合の一実施形態である。

【0080】図 7 に示すように本実施の形態のデジタル位相制御回路は、7 段の差動の遅延バッファ $h_1 \sim h_7$ を連接してなり、図示しない遅延ロックループにより帰還制御される第一の遅延線 h_1 と、8 段の差動の遅延バッファ $k_1 \sim k_8$ を環状に連接してなる遅延バッファ列 $1 \sim 7$ と、クロック信号を取り出す一の遅延バッファを前記 7 段の遅延バッファ $h_1 \sim h_7$ から選択する第一の選択回路 w_6 と、前記クロック信号を入力する一の遅延バッファを前記遅延バッファ列 $1 \sim 7$ 内の 4 つの遅延バッファ k_2, k_4, k_6, k_8 の中から選択する第二の選択回路 $w_1 \sim w_4$ と、遅延バッファ列 $1 \sim 7$ 内の遅延バッファに入力する差動クロック信号の反転と非反転とを切り替える切換回路 w_5 とを備える。第二の選択回路 $w_1 \sim w_4$ は順に、遅延バッファ $k_1 \sim k_2$ 間、 $k_3 \sim k_4$ 間、 $k_5 \sim k_6$ 間、 $k_7 \sim k_8$ 間に挿入配置される。第二の選択回路 $w_1 \sim w_4$ は微少の遅延時間を持っているので、遅延バッファ $k_2 \sim k_3$ 間、 $k_4 \sim k_5$ 間、 $k_6 \sim k_7$ 間に挿入配置される。第一の選択回路 w_6 は順に、遅延バッファ $k_1 \sim k_2$ 間、 $k_3 \sim k_4$ 間、 $k_5 \sim k_6$ 間、 $k_7 \sim k_8$ 間に挿入配置される。第一の選択回路 w_6 は順に、遅延バッファ $k_1 \sim k_2$ 間、 $k_3 \sim k_4$ 間、 $k_5 \sim k_6$ 間、 $k_7 \sim k_8$ 間に挿入配置される。

【0081】第一の遅延線 h_1 から出力される 14 相の第一の多相クロックは実施の形態 3 の 14 相の第一の多相クロックに対応するので同一の参照符号を付する。すなわち、第一の遅延線 h_1 からは 14 相の第一の多相クロック $d_1 \sim d_7, d_1B \sim d_7B$ が差動対として出力される。また、遅延バッファ列 $1 \sim 7$ から出力される 16 相の第二の多相クロックは実施の形態 3 の 16 相の第二の多相クロックに対応するので同一の参照符号を付する。すなわち、遅延バッファ列 $1 \sim 7$ からは 16 相の第二の多相クロック $e_1 \sim e_8, e_1B \sim e_8B$ が差動対として出力される。

【0082】本実施の形態においては、表 1 における奇数番号の同期状態 $\langle 001 \rangle, \langle 003 \rangle, \langle 005 \rangle, \dots, \langle 111 \rangle$ のみを利用する。表 4 に本実施の形態における各同期状態の一覧を示した。

【0083】
20 【表 4】

A	B	C	D	E	F(C-E)	w5	wCx	A	B	C	D	E	F(C-E)	w5	wCx
(001)	d1	0.0	e1	0.0	0.0	off	w1	(057)	d1	0.0	e1B	1600.0	1600.0	on	w1
(003)	d3	457.2	e3	400.0	57.2	off	w2	(059)	d3	457.2	e3B	2000.0	1657.2	on	w2
(005)	d5	914.4	e5	800.0	114.4	off	w3	(061)	d5	914.4	e5B	2400.0	1714.4	on	w3
(007)	d7	1371.6	e7	1200.0	171.6	off	w4	(063)	d7	1371.6	e7B	2800.0	1771.6	on	w4
(009)	d2B	1828.8	e1B	1600.0	228.8	on	w1	(065)	d2B	1828.8	e1	0.0	1828.8	off	w1
(011)	d4B	2286.0	e3B	2000.0	286.0	on	w2	(067)	d4B	2286.0	e3	400.0	1886.0	off	w2
(013)	d6B	2743.2	e5B	2400.0	343.2	on	w3	(069)	d6B	2743.2	e5	800.0	1943.2	off	w3
(015)	d1	0.0	e7B	2800.0	400.0	on	w4	(071)	d1	0.0	e7	1200.0	2000.0	off	w4
(017)	d3	457.2	e1	0.0	457.2	off	w1	(073)	d3	457.2	e1B	1600.0	2057.2	on	w1
(019)	d5	914.4	e3	400.0	514.4	off	w2	(075)	d5	914.4	e3B	2000.0	2114.4	on	w2
(021)	d7	1371.6	e5	800.0	571.6	off	w3	(077)	d7	1371.6	e5B	2400.0	2171.6	on	w3
(023)	d2B	1828.8	e7	1200.0	628.8	off	w4	(079)	d2B	1828.8	e7B	2800.0	2228.8	on	w4
(025)	d4B	2286.0	e1B	1600.0	686.0	on	w1	(081)	d4B	2286.0	e1	0.0	2286.0	off	w1
(027)	d6B	2743.2	e3B	2000.0	743.2	on	w2	(083)	d6B	2743.2	e3	400.0	2343.2	off	w2
(029)	d1	0.0	e5B	2400.0	800.0	on	w3	(085)	d1	0.0	e5	800.0	2400.0	off	w3
(031)	d3	457.2	e7B	2800.0	857.2	on	w4	(087)	d3	457.2	e7	1200.0	2457.2	off	w4
(033)	d5	914.4	e1	0.0	814.4	off	w1	(089)	d5	914.4	e1B	1600.0	2514.4	on	w1
(035)	d7	1371.6	e3	400.0	971.6	off	w2	(091)	d7	1371.6	e3B	2000.0	2571.6	on	w2
(037)	d2B	1828.8	e5	800.0	1028.8	off	w3	(093)	d2B	1828.8	e5B	2400.0	2628.8	on	w3
(039)	d4B	2286.0	e7	1200.0	1086.0	off	w4	(095)	d4B	2286.0	e7B	2800.0	2686.0	on	w4
(041)	d6B	2743.2	e1B	1600.0	1143.2	on	w1	(097)	d6B	2743.2	e1	0.0	2743.2	off	w1
(043)	d1	0.0	e3B	2000.0	1200.0	on	w2	(099)	d1	0.0	e3	400.0	2800.0	off	w2
(045)	d3	457.2	e5B	2400.0	1257.2	on	w3	(101)	d3	457.2	e5	800.0	2857.2	off	w3
(047)	d5	914.4	e7B	2800.0	1314.4	on	w4	(103)	d5	914.4	e7	1200.0	2914.4	off	w4
(049)	d7	1371.6	e1	0.0	1371.6	off	w1	(105)	d7	1371.6	e1B	1600.0	2971.6	on	w1
(051)	d2B	1828.8	e3	400.0	1428.8	off	w2	(107)	d2B	1828.8	e3B	2000.0	3028.8	on	w2
(053)	d4B	2286.0	e5	800.0	1486.0	off	w3	(109)	d4B	2286.0	e5B	2400.0	3086.0	on	w3
(055)	d6B	2743.2	e7	1200.0	1543.2	off	w4	(111)	d6B	2743.2	e7B	2800.0	3143.2	on	w4

【0084】表 4 の項目 A ~ F については、表 1 の奇数番号の同期状態のみを抜粋したものに等しい。項目 w_5 は切替回路 w_5 の on / off 状態を示す。項目 w

(x) は選択回路 $w_1 \sim w_4$ のうち on になっている選択回路の参照符号である。選択回路 $w_1 \sim w_4$ のうち一の選択回路が on になっている時には、残りの 3 つの選択回路は off になっている。すなわち、選択回路 $w_1 \sim w_4$ の中で、同時に on になっている選択回路は存在しない。選択回路 $w_1 \sim w_4$ のうち off になっている選択回路は、表の上では省略する。リファレンスクロック $ref.c1k1$ とリファレンスクロック $ref.c1k2$ とは、互いに半周期の位相差を有し、差動対を成す差動信号であ

り、外部の PLL (PhaseLocked Loop: 位相ロックループ) 等により生成され供給される。遅延ロックループは、位相比較器、チャージポンプ、ローパスフィルタ等の構成要素を有し、遅延バッファ h_1 へ入力するリファレンスクロック $ref.c1k1$ と遅延バッファ h_7 から出力するクロック d_7B とを位相比較して位相差を検出する。また、遅延バッファ h_1 へ入力するリファレンスクロック $ref.c1k2$ と遅延バッファ h_7 から出力するクロック d_7 とを位相比較して位相差を検出する。さらに、それらの位相差に基づき制御電圧を生成し、それを各遅延バッファ $h_1 \sim h_7$ に印加して第一の遅延線 h_1 の総合遅延時間がクロックの半周期 (1600 p s) にな

るよう帰還制御する。これにより、各遅延バッファ $h_1 \sim h_7$ の伝搬遅延時間が $1600/7$ (p s) に保たれ、14相の第一の多相クロック $d_1 \sim d_7$ 、 $d_1B \sim d_7B$ の相間隔が $1600/7$ (p s) に保たれる。選択回路 w_6 は、差動クロック $d_1 - d_1B$ 、 $d_2B - d_2$ 、 $d_3 - d_3B$ 、 $d_4B - d_4$ 、 $d_5 - d_5B$ 、 $d_6B - d_6$ 、 $d_7 - d_7B$ の選択を行う。切換回路 w_5 は o_n になると選択回路 w_6 によって選択されている差動クロックを反転し、 $o_f f$ になると反転せずにそのまま通過させる。なお表記上、差動クロック $d_m - d_mB$ と、差動クロック $d_mB - d_m$ とは反転した関係にあるとする ($m = 1 \sim 7$)。切換回路 w_5 が $o_f f$ で、差動クロックが反転しない場合は、クロック d_1 、 d_2B 、 d_3 、 d_4B 、 d_5 、 d_6B 、 d_7 が遅延バッファ列 1 7 の図上の上段側、すなわち、クロック $e_1 \sim e_8$ 側に入力し、クロック d_1B 、 d_2 、 d_3B 、 d_4 、 d_5B 、 d_6 、 d_7B が遅延バッファ列 1 7 の図上の下段側、すなわち、クロック $e_1B \sim e_8B$ 側に入力する。選択回路 w_1 は o_n になると、選択回路 w_6 によって選択され、切換回路 w_5 を通過した差動クロックを、遅延バッファ k_2 に入力するとともに、遅延バッファ k_1 から遅延バッファ k_2 へのクロックの伝搬を遮断する。この時、他の選択回路 $w_2 \sim w_4$ は $o_f f$ になりクロックの入出力を行わない。この選択回路 $w_1 \sim w_4$ の切り替わりと同時に、図示しない遅延ロックループは、遅延バッファ k_2 を初段バッファとし遅延バッファ k_1 を最終段バッファとする 8 段の第二の遅延線をその総合遅延時間（選択回路 $w_1 \sim w_4$ 及び 4 つのダミー回路 4_2 の遅延時間を含む）がクロックの半周期（1600 p s）になるよう帰還制御する。選択回路 $w_1 \sim w_4$ 及び 4 つのダミー回路 4_2 は微少ではあるが伝搬遅延時間有するので、厳密には、第二の遅延線は選択回路 $w_1 \sim w_4$ 及び 4 つのダミー回路 4_2 と、遅延バッファ $k_1 \sim k_8$ とからなり、図示しない遅延ロックループは、選択回路 w_1 への入力差動クロック t_1 、 t_2 と、遅延バッファ g_1 の出力差動クロック e_1 、 e_1B とを位相比較して制御する。クロック t_1 が遅延バッファ列 1 7 の図上の上段側、すなわち、クロック $e_1 \sim e_8$ 側に入力し、クロック t_2 が遅延バッファ列 1 7 の図上の下段側、すなわち、クロック $e_1B \sim e_8B$ 側に入力する。図示しない遅延ロックループが位相比較するのは、クロック t_1 とクロック e_1 、クロック t_2 とクロック e_1B である。この遅延ロックループの帰還制御により、各遅延バッファ $k_1 \sim k_7$ の伝搬遅延時間が $1600/8$ (p s) に保たれ、16相の第二の多相クロック $e_1 \sim e_8$ 、 $e_1B \sim e_8B$ の相間隔が $1600/8$ (p s) に保たれる。選択回路 $w_2 \sim w_4$ の動作及びそれに伴った図示しない遅延ロックループの動作も同様である。以上のように選択回路 $w_1 \sim w_4$ は遅延バッファ列内の信号の伝搬を遮断する手段を兼ねている。

【0085】例えば同期状態 $\langle 001 \rangle$ では、選択回路 w_6 において差動クロック $d_1 - d_1B$ が選択され、切換回路 w_5 が $o_f f$ になり、差動クロック $d_1 - d_1B$ が反転せずにそのまま切換回路 w_5 を通過する。さらに、選択回路 w_1 が o_n になり差動クロック $d_1 - d_1B$ を遅延バッファ k_2 に入力するとともに、遅延バッファ k_1 から遅延バッファ k_2 へのクロックの伝搬を遮断する。これによりクロック d_1 とクロック e_1 の位相が同期する（但し、図上クロック d_1 とクロック e_1 との間には選択回路 w_6 及び切換回路 w_5 が介在するので、厳密には、クロック d_1 とクロック e_1 とは、選択回路 w_6 及び切換回路 w_5 の遅延時間分の位相差を持っている。）。このとき、表4を参照するとクロック e_1 の位相は 0 p s である。この同期状態 $\langle 001 \rangle$ においては、図示しない遅延ロックループは、遅延バッファ k_2 を初段バッファとし遅延バッファ k_1 を最終段バッファとする 8 段の第二の遅延線をその総合遅延時間（選択回路 $w_1 \sim w_4$ 及び 4 つのダミー回路 4_2 の遅延時間を含む）がクロックの半周期（1600 p s）になるよう帰還制御する。

【0086】また、例えば同期状態 $\langle 011 \rangle$ では、選択回路 w_6 において差動クロック $d_4B - d_4$ が選択され、切換回路 w_5 が o_n になり、差動クロック $d_4B - d_4$ は反転して差動クロック $d_4 - d_4B$ となって切換回路 w_5 を通過する。さらに、選択回路 w_2 が o_n になり差動クロック $d_4 - d_4B$ を遅延バッファ k_4 に入力するとともに、遅延バッファ k_3 から遅延バッファ k_4 へのクロックの伝搬を遮断する。これによりクロック d_4B とクロック e_3B の位相が同期する（但し、図上クロック d_4B とクロック e_3B との間には選択回路 w_6 及び切換回路 w_5 が介在するので、厳密には、クロック d_4B とクロック e_3B とは、選択回路 w_6 及び切換回路 w_5 の遅延時間分の位相差を持っている。）。このとき、表4を参照するとクロック e_1 の位相は 286 p s である。この同期状態 $\langle 011 \rangle$ において、図示しない遅延ロックループは遅延バッファ k_4 を初段バッファとし、遅延バッファ k_3 を最終段バッファとする 8 段の第二の遅延線をその総合遅延時間（選択回路 $w_1 \sim w_4$ 及び 4 つのダミー回路 4_2 の遅延時間を含む）がクロックの半周期（1600 p s）になるよう帰還制御する。

【0087】また、例えば同期状態 $\langle 083 \rangle$ では、選択回路 w_6 において差動クロック $d_6B - d_6$ が選択され、切換回路 w_5 が $o_f f$ になり、差動クロック $d_6B - d_6$ が反転せずにそのまま切換回路 w_5 を通過する。さらに、選択回路 w_2 が o_n になり差動クロック $d_6B - d_6$ を遅延バッファ k_4 に入力するとともに、遅延バッファ k_3 から遅延バッファ k_4 へのクロックの伝搬を遮断する。これによりクロック d_6B とクロック e_3 の位相が同期する（但し、図上クロック d_6B とクロック e_3 との間には選択回路 w_6 及び切換回路 w_5 が介在す

るので、厳密には、クロック d 6 B とクロック e 3 とは、選択回路 w 6 及び切換回路 w 5 の遅延時間分の位相差を持っている。このとき、表 4 を参照するとクロック e 1 の位相は 2343.2 ps である。この同期状態 (0083)において、図示しない遅延ロッклープは遅延バッファ k 4 を初段バッファとし、遅延バッファ k 3 を最終段バッファとする 8 段の第二の遅延線をその総合遅延時間 (選択回路 w 1 ~ w 4 及び 4 つのダミー回路 42 の遅延時間を含む) がクロックの半周期 (1600 ps) になるように帰還制御する。

【0088】以上のように、遅延バッファ列 17 内で初段及び最終段 (その中間の段を含む) が位置的に循環する一定段数 (本実施の形態においては 8 段) の第二の遅延線を動作させるのが、本発明の実施の形態 5 のデジタル位相制御回路及び遅延ロッклープの特徴の一つである。本実施の形態のデジタル位相制御回路によれば、表 4 に示した (001) ~ (111) の 56 の同期状態をつくりだし、切り替えることができる。また、遅延ロッклープにより第一の多相クロック及び第二の多相クロックの相間隔が精度良く等間隔に保持される。したがって、16 相の第二の多相クロック e 1 ~ e 8, e 1 B ~ e 8 B をその相間隔を 200 ps に保持したまま全体として 57 ps の分解能で精度良く、進み方向にも遅れ方向にも無限に (サイクリックに) 位相シフト (位相制御) することができる。

【0089】なお、以上の実施の形態 5 の回路構成に対して、遅延バッファ k 2 ~ k 3 間、 k 4 ~ k 5 間、 k 6 ~ k 7 間、 k 8 ~ k 1 間にも第二の選択回路を設けることにより、表 1 に示した (001) ~ (112) の 112 の同期状態をつくりだし、切り替えることができるようになるので、実施の形態 3 と同様に 3200 ps の周期を 28.6 ps の分解能で 112 分割した位相制御を行うことが可能である。

【0090】実施の形態 6

次ぎ図 8 を参照し、上記実施の形態 3 のデジタル位相制御方法を実現する他のデジタル位相制御回路の一実施形態を実施の形態 6 として説明する。図 8 は本発明の実施の形態 6 のデジタル位相制御回路の回路図である。本実施の形態は実施の形態 5 と同様に、差動の回路構成により位相制御する場合の一実施形態であるが、実施の形態 5 と異なり、7 対の差動クロックのうちの一対の差動クロックと 8 対の差動クロックのうちの一対の差動クロックとを相対的に反転させた場合も含めて組み合わせ、 $7 \times 8 \times 2 = 112$ 通りの同期状態を切り替えることにより $3200 \text{ ps} / 112 = 28.6 \text{ ps}$ の分解能で 16 相の多相クロックを位相制御する場合の一実施形態である。

【0091】図 8 に示すように本実施の形態のデジタル位相制御回路は、7 段の差動の遅延バッファ p 1 ~ p 7 からなり、遅延ロッклープ 18 により帰還制御される

第一の遅延線 19 と、7 段の遅延バッファ p 1 ~ p 7 の各出力に接続され、そのうち一の出力を選択するよう構成された第一の選択回路 20 と、第一の選択回路 20 の出力を受け差動クロックの反転と非反転とを切り替える切換回路 27 と、切換回路 27 を介して第一の選択回路 20 の出力を受ける第二の選択回路 21 と、第二の選択回路 21 に並列的に接続される 8 個の差動の遅延バッファ q 1 ~ q 8 と、8 個の遅延バッファ q 1 ~ q 8 と特性の等しい 8 段の差動の遅延バッファ r 1 ~ r 8 を環状に接続してなり、各遅延バッファ間に 8 個の遅延バッファ q 1 ~ q 8 の出力がそれぞれ接続された遅延バッファ列 22 と、8 個の遅延バッファ q 1 ~ q 8 の各入力と 8 段の遅延バッファ r 1 ~ r 8 の各出力に接続された位相比較器 23 とを備える。

【0092】第一の選択回路 20 は、制御信号 31 に従い、7 段の遅延バッファ p 1 ~ p 7 の各出力から一の出力を選択し一対の差動クロックを取り出す。切換回路 27 は、制御信号 33 に従い、差動クロックの反転と非反転とを切り替える。第二の選択回路 21 は、制御信号 32 に従い、第一の選択回路 20 によって取り出され、切換回路 27 を通過した差動クロックを受け、8 個の遅延バッファ q 1 ~ q 8 から一の遅延バッファを選択し入力する。位相比較器 23 は、制御信号 32 に従い、8 個の遅延バッファ r 1 ~ r 8 の出力のうち一の出力を選択して受ける。遅延バッファ q 1 ~ q 8 の各電流源 (図示せず) のうち一つは、制御信号 32 に従い電源供給し、遅延バッファ q 1 ~ q 8 のうち一の遅延バッファを on にする (この時、他の 7 つの遅延バッファは off である)。遅延バッファ r 1 ~ r 8 の各電流源 (図示せず) のうち一つは、制御信号 32 に従い電源供給を断ち、遅延バッファ r 1 ~ r 8 のうち一の遅延バッファを off にする (この時、他の 7 つの遅延バッファは on である)。なお、単相構成にする場合は切換回路 27 は不要である。単相構成にする場合に、本実施の形態と同じ分解能を得るために遅延線の段数を 2 倍にする必要がある。

【0093】第一の遅延線 19 から出力される 14 相の第一の多相クロックは実施の形態 3 の 14 相の第一の多相クロックに対応するので同一の参照符号を付する。すなわち、第一の遅延線 19 からは 14 相の第一の多相クロック d 1 ~ d 7, d 1 B ~ d 7 B が差動対として出力される。また、遅延バッファ列 22 から出力される 16 相の第二の多相クロックは実施の形態 3 の 16 相の第二の多相クロックに対応するので同一の参照符号を付する。すなわち、遅延バッファ列 22 からは 16 相の第二の多相クロック e 1 ~ e 8, e 1 B ~ e 8 B が差動対として出力される。

【0094】本実施の形態のデジタル位相制御回では、表 1 に示した 112 通りの同期状態をつくることができる。再び表 1 を参照する。表 1 において項目 G は、切換

回路27のon/off状態を示す。

【0095】リファレンスクロックref.clk1とリファレンスクロックref.clk2とは、互いに半周期の位相差を有し、差動対を成す差動信号であり、外部のPLL(PhaseLocked Loop:位相ロックループ)等により生成され供給される。遅延ロックループ18は、位相比較器25、チャージポンプ+ローパスフィルタ26を有する。位相比較器25は、遅延バッファp1へ入力するリファレンスクロックref.clk1と遅延バッファp7から出力するクロックd7Bとを位相比較して位相差を検出する。また位相比較器25は、遅延バッファp1へ入力するリファレンスクロックref.clk2と遅延バッファp7から出力するクロックd7とを位相比較して位相差を検出する。チャージポンプ+ローパスフィルタ26は、それらの位相差に基づき制御電圧を生成し、それを各遅延バッファp1～p7に印加して第一の遅延線19の総合遅延時間がクロックの半周期(1600ps)になるように帰還制御する。これにより、各遅延バッファp1～p7の伝搬遅延時間が1600/7(ps)に保たれ、14相の第一の多相クロックd1～d7、d1B～d7Bの相間隔が1600/7(ps)に保たれる。選択回路20は、差動クロックd1～d1B、d2～d2B、d3～d3B、d4～d4B、d5～d5B、d6～d6B、d7～d7B、d1B～d1、d2B～d2、d3B～d3、d4B～d4、d5B～d5、d6B～d6、d7B～d7の選択を行う。切換回路27はonになると選択回路20によって選択されている差動クロックを反転し、offになると反転せずにそのまま通過させる。なお表記上、差動クロックdm～dmBと、差動クロックdmB～dmとは反転した関係にあるとする(m=1～7)。選択回路21は、選択回路20によって選択され、切換回路27を通過した差動クロックを、遅延バッファq1～q8のうち一の遅延バッファを選択して入力する(選択された遅延バッファは常に第二の遅延線の初段となる。)。この選択回路21の切り替わりと同時に、位相比較器23は、制御信号32に従い、遅延バッファr1～r8のうち第二の遅延線の最終段の遅延バッファの出力を選択して受ける。位相比較器23及びチャージポンプ+ローパスフィルタ24を含めた遅延ロックループ(以下、ローテーションDLLといふ。)40により第二の遅延線をその総合遅延時間がクロックの半周期(1600ps)になるように帰還制御する。このローテーションDLL40は、遅延バッファq1～q8と、遅延バッファ列22と、位相比較器23と、チャージポンプ+ローパスフィルタ24とを含む構成であり、回路上で位置的に変動する第二の遅延線を常に帰還制御するよう切り替わる。

【0096】ここで図9をも参照する。図9は、本発明の実施の形態6のデジタル位相制御回路の部分図である。例えば同期状態<001>では、選択回路20にお

いて差動クロックd1～d1Bが選択され、切換回路27がoffになり、差動クロックd1～d1Bがそのまま選択回路21へと通過する。さらに、図9(a)に示すように選択回路21が差動クロックd1～d1Bを遅延バッファq1に入力する。位相比較器23はその入力クロック信号d1を受けるとともに遅延バッファr8の出力クロック信号e1を受け、第二の遅延線28の入力クロック信号d1と出力クロック信号e1との位相差を検出する。ローテーションDLL40は、その検出結果(位相差情報)を元に遅延バッファq1、r2～r8からなる8段の第二の遅延線28をその総合遅延時間がクロックの半周期(1600ps)になるように帰還制御する。このローテーションDLL40の帰還制御により、各遅延バッファq1、r2～r8の伝搬遅延時間が1600/8(ps)に保たれ、16相の第二の多相クロックe1～e8、e1B～e8Bの相間隔が1600/8(ps)に保たれる。遅延バッファq1(初段)から第二の遅延線28に入力した差動クロックは、遅延バッファr2～r3～r4～r5～r6～r7～r8(最終段)と伝搬し、制御信号32に従ってon/offにされた遅延バッファr1によって遮断される。遅延バッファr1～r8はそれぞれ遅延バッファ列22内の信号の伝搬を遮断する手段を兼ねており、第二の遅延線28の最終段の次の段となるときは、on/offにされて伝搬を遮断する機能を発揮する。表1によれば同期状態<001>ではクロックe1の位相は0psである。これを図9(a)を参照して確認する。クロックe1は遅延バッファr8の図上、下段の出力であるから、クロックd1Bの位相1600psに遅延バッファq1、r2～r8の総合遅延時間200ps×8=1600psを加えて、3200ps、すなわち、0psである。

【0097】また、例えば同期状態<002>では、選択回路20において差動クロックd2～d2Bが選択され、切換回路27がoffになり、差動クロックd2～d2Bがそのまま選択回路21へと通過する。さらに、図9(b)に示すように選択回路21が差動クロックd2～d2Bを遅延バッファq2に入力する。位相比較器23はその入力クロック信号d2を受けるとともに遅延バッファr1の出力クロック信号e2を受け、第二の遅延線28の入力クロック信号d2と出力クロック信号e2との位相差を検出する。ローテーションDLL40は、その検出結果(位相差情報)を元に遅延バッファq2、r3～r8、r1からなる8段の第二の遅延線28をその総合遅延時間がクロックの半周期(1600ps)になるように帰還制御する。このローテーションDLL40の帰還制御により、各遅延バッファq2、r3～r8、r1の伝搬遅延時間が1600/8(ps)に保たれ、16相の第二の多相クロックe1～e8、e1B～e8Bの相間隔が1600/8(ps)に保たれる。遅延バッファq2(初段)から第二の遅延線28に

入力した差動クロックは、遅延バッファ $r 3 \rightarrow r 4 \rightarrow r 5 \rightarrow r 6 \rightarrow r 7 \rightarrow r 8 \rightarrow r 1$ (最終段) と伝搬し、制御信号 3_2 に従って $o_f f$ にされた遅延バッファ $r 2$ によって遮断される。表 1 によれば同期状態 $\langle 002 \rangle$ ではクロック e_1 の位相は 28.6 ps である。これを図 9 (b) を参照して確認する。クロック e_1 は遅延バッファ $r 8$ の図上、下段の出力であるから、クロック $d_2 B$ の位相 1828.6 ps に遅延バッファ $q_2, r 3 \sim r 8$ の総合遅延時間 $200 \text{ ps} \times 7 = 1400 \text{ ps}$ を加えて、 3228.6 ps 、すなわち、 28.6 ps である。

【0098】また、例えば同期状態 $\langle 003 \rangle$ では、選択回路 2_0 において差動クロック $d_3 - d_3 B$ が選択され、切換回路 2_7 が $o_f f$ になり、差動クロック $d_3 - d_3 B$ がそのまま選択回路 2_1 へと通過する。さらに、図 9 (c) に示すように選択回路 2_1 が差動クロック $d_3 - d_3 B$ を遅延バッファ q_3 に入力する。位相比較器 2_3 はその入力クロック信号 d_3 を受けるとともに遅延バッファ $r 2$ の出力クロック信号 e_3 を受け、第二の遅延線 2_8 の入力クロック信号 d_3 と出力クロック信号 e_3 との位相差を検出する。ローテーション DLL 40 は、その検出結果 (位相差情報) を元に遅延バッファ $q_3, r 4 \sim r 8, r 1, r 2$ からなる 8 段の第二の遅延線 2_8 をその総合遅延時間がクロックの半周期 (1600 ps) になるように帰還制御する。このローテーション DLL 40 の帰還制御により、各遅延バッファ $q_3, r 4 \sim r 8, r 1, r 2$ の伝搬遅延時間が $1600/8 (\text{ps})$ に保たれ、16 相の第二の多相クロック $e_1 \sim e_8, e_1 B \sim e_8 B$ の相間隔が $1600/8 (\text{ps})$ に保たれる。遅延バッファ q_3 (初段) から第二の遅延線 2_8 に入力した差動クロックは、遅延バッファ $r 4 \rightarrow r 5 \rightarrow r 6 \rightarrow r 7 \rightarrow r 8 \rightarrow r 1 \rightarrow r 2$ (最終段) と伝搬し、制御信号 3_2 に従って $o_f f$ にされた遅延バッファ $r 3$ によって遮断される。表 1 によれば同期状態 $\langle 003 \rangle$ ではクロック e_1 の位相は 57.2 ps である。これを図 9 (c) を参照して確認する。クロック e_1 は遅延バッファ $r 8$ の図上、下段の出力であるから、クロック $d_3 B$ の位相 2057.2 ps に遅延バッファ $q_3, r 4 \sim r 8$ の総合遅延時間 $200 \text{ ps} \times 6 = 1200 \text{ ps}$ を加えて、 3257.2 ps 、すなわち、 57.2 ps である。

【0099】ここで図 10 をも参照する。図 10 は、本発明の実施の形態 6 のデジタル位相制御回路の部分図である。

【0100】また、例えば同期状態 $\langle 008 \rangle$ では、選択回路 2_0 において差動クロック $d_1 B - d_1$ が選択され、切換回路 2_7 が o_n になり、差動クロック $d_1 B - d_1$ が反転せずにそのまま切換回路 2_7 を通過し選択回路 2_1 へ出力される。さらに、図 10 (a) に示すように選択回路 2_1 が差動クロック $d_1 B - d_1$ を遅延バ

ッファ q_8 に入力する。位相比較器 2_3 はその入力クロック信号 $d_1 B$ を受けるとともに遅延バッファ $r 7$ の出力クロック信号 e_8 を受け、第二の遅延線 2_8 の入力クロック信号 $d_1 B$ と出力クロック信号 e_8 との位相差を検出する。ローテーション DLL 40 は、その検出結果 (位相差情報) を元に遅延バッファ $q_8, r 1 \sim r 7$ からなる 8 段の第二の遅延線 2_8 をその総合遅延時間がクロックの半周期 (1600 ps) になるように帰還制御する。このローテーション DLL 40 の帰還制御により、各遅延バッファ $q_8, r 1 \sim r 7$ の伝搬遅延時間が $1600/8 (\text{ps})$ に保たれ、16 相の第二の多相クロック $e_1 \sim e_8, e_1 B \sim e_8 B$ の相間隔が $1600/8 (\text{ps})$ に保たれる。遅延バッファ q_8 (初段) から第二の遅延線 2_8 に入力した差動クロックは、遅延バッファ $r 1 \rightarrow r 2 \rightarrow r 3 \rightarrow r 4 \rightarrow r 5 \rightarrow r 6 \rightarrow r 7$ (最終段) と伝搬し、制御信号 3_2 に従って $o_f f$ にされた遅延バッファ $r 8$ によって遮断される。表 1 によれば同期状態 $\langle 008 \rangle$ ではクロック e_1 の位相は 200 ps である。これを図 10 (a) を参照して確認する。クロック e_1 は遅延バッファ $r 8$ の図上、下段の出力であるから、クロック d_1 の位相 0 ps に遅延バッファ q_8 の遅延時間 $200 \text{ ps} \times 1 = 200 \text{ ps}$ を加えて、 200 ps である。

【0101】また、例えば同期状態 $\langle 009 \rangle$ では、選択回路 2_0 において差動クロック $d_2 B - d_2$ が選択され、切換回路 2_7 が o_n になり、差動クロック $d_2 B - d_2$ が反転されて差動クロック $d_2 - d_2 B$ となって選択回路 2_1 へと通過する。さらに、図 10 (b) に示すように選択回路 2_1 が差動クロック $d_2 - d_2 B$ を遅延バッファ q_1 に入力する。位相比較器 2_3 はその入力クロック信号 d_2 を受けるとともに遅延バッファ $r 8$ の出力クロック信号 e_1 を受け、第二の遅延線 2_8 の入力クロック信号 d_2 と出力クロック信号 e_1 との位相差を検出する。ローテーション DLL 40 は、その検出結果 (位相差情報) を元に遅延バッファ $q_1, r 2 \sim r 8$ からなる 8 段の第二の遅延線 2_8 をその総合遅延時間がクロックの半周期 (1600 ps) になるように帰還制御する。このローテーション DLL 40 の帰還制御により、各遅延バッファ $q_1, r 2 \sim r 8$ の伝搬遅延時間が $1600/8 (\text{ps})$ に保たれ、16 相の第二の多相クロック $e_1 \sim e_8, e_1 B \sim e_8 B$ の相間隔が $1600/8 (\text{ps})$ に保たれる。遅延バッファ q_1 (初段) から第二の遅延線 2_8 に入力した差動クロックは、遅延バッファ $r 2 \rightarrow r 3 \rightarrow r 4 \rightarrow r 5 \rightarrow r 6 \rightarrow r 7 \rightarrow r 8$ (最終段) と伝搬し、制御信号 3_2 に従って $o_f f$ にされた遅延バッファ $r 1$ によって遮断される。表 1 によれば同期状態 $\langle 009 \rangle$ ではクロック e_1 の位相は 228.8 ps である。これを図 10 (b) を参照して確認する。クロック e_1 は遅延バッファ $r 8$ の図上、下段の出力であるから、クロック $d_2 B$ の位相 1828.8 ps に遅延バ

延バッファ q_1 、 $r_2 \sim r_8$ の総合遅延時間 $200 \text{ p s} \times 8 = 1600 \text{ p s}$ を加えて、 3428.8 p s 、すなわち、 228.8 p s である。

【0102】また、例えば同期状態〈031〉では、選択回路20において差動クロック $d_3 - d_3B$ が選択され、切換回路27がonになり、差動クロック $d_3 - d_3B$ が反転されて差動クロック $d_3B - d_3$ となって選択回路21へと通過する。さらに、図10(c)に示すように選択回路21が差動クロック $d_3B - d_3$ を遅延バッファ q_7 に入力する。位相比較器23はその入力クロック信号 d_3B を受けるとともに遅延バッファ r_6 の出力クロック信号 e_7 を受け、第二の遅延線28の入力クロック信号 d_3B と出力クロック信号 e_7 との位相差を検出する。ローテーションDLL40は、その検出結果(位相差情報)を元に遅延バッファ q_7 、 r_8 、 $r_1 \sim r_6$ からなる8段の第二の遅延線28をその総合遅延時間がクロックの半周期(1600 p s)になるように帰還制御する。このローテーションDLL40の帰還制御により、各遅延バッファ q_7 、 r_8 、 $r_1 \sim r_6$ の伝搬遅延時間が $1600/8 (\text{p s})$ に保たれ、16相の第二の多相クロック $e_1 \sim e_8$ 、 $e_1B \sim e_8B$ の相間隔が $1600/8 (\text{p s})$ に保たれる。遅延バッファ q_7 (初段)から第二の遅延線28に入力した差動クロックは、遅延バッファ $r_8 \rightarrow r_1 \rightarrow r_2 \rightarrow r_3 \rightarrow r_4 \rightarrow r_5 \rightarrow r_6$ (最終段)と伝搬し、制御信号32に従ってoffにされた遅延バッファ r_7 によって遮断される。表1によれば同期状態〈031〉ではクロック e_1 の位相は 857.2 p s である。これを図10(c)を参照して確認する。クロック e_1 は遅延バッファ r_8 の図上、下段の出力であるから、クロック d_3 の位相 457.2 p s に遅延バッファ q_7 、 r_8 の総合遅延時間 $200 \text{ p s} \times 2 = 400 \text{ p s}$ を加えて、 857.2 p s である。

【0103】以上のように、遅延バッファ列22内で最終段が位置的に循環する一定段数(本実施の形態においては8段)の遅延線28を動作させるのが、本発明の実施の形態6のデジタル位相制御回路及び遅延ロックループの特徴の一つである。本実施の形態のデジタル位相制御回路によれば、表1に示した〈001〉～〈112〉の112の同期状態をつくりだし、切り替えることができる。また、遅延ロックループにより第一の多相クロック及び第二の多相クロックの相間隔が精度良く等間隔に保持される。したがて、16相の第二の多相クロック $e_1 \sim e_8$ 、 $e_1B \sim e_8B$ をその相間隔を 200 p s に保持したまま全体として 28.6 p s の分解能で精度良く、進み方向にも遅れ方向にも無限に(サイクリックに)位相シフト(位相制御)することができる。

【0104】

【発明の効果】上述のように本発明は、相間隔の異なる(同一周波数で相数の異なる)2つの多相クロックを用い、位相同期させるクロックの組み合わせを切り替える

ことにより、多相クロックをその相間隔を所定の間隔に保持したまま、全体として高精度に高分解能で進み方向にも遅れ方向にも無限に(サイクリックに)位相シフトすることができるという効果がある。多相クロックの相数の組み合わせによって極めて微少な分解能を得ることができる。しかも、分解能の微少化によってクロックの質的低下等の悪影響が起こることがない。特に、遅延ロックループにより多相クロックの相間隔を高精度に保持することにより、位相制御が高精度に行えるとともに相間隔の良好な多相クロックを供給することができる。また、本発明によれば、2つの遅延ロックループによって回路を構成したので、相数の多い多相クロックを低消費電力で位相制御できる小規模のデジタル位相制御回路が得られるという効果がある。また、本発明によれば、遅延ロックループにより相間隔の均等な多相クロックを用意することができ、かつ、位相同期させるクロック信号の組み合わせによる専らデジタル的な設計でデジタル的に高精度な位相シフトが可能な位相制御回路を設計することができるので、通常の設計力で十分な性能を実現することができるという効果がある。また、クロック信号をアナログ乗算等によって合成することは行わず、遅延線上でクロック信号を伝搬させるのみであるので、ほとんど波形を劣化させることなく位相制御し、波形の整った良質の多相クロックを生成、供給することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における要部回路図及び動作説明図である。

【図2】 本発明の実施の形態1又は実施の形態2におけるクロックエッジの位置関係を示す模式的波形図である。

【図3】 本発明の実施の形態2における要部回路図及び動作説明図である。

【図4】 本発明の実施の形態3におけるクロックエッジの位置関係を示す模式的波形図であり、(a)は 312.5 MHz のクロックの波形図、(b)は14相の多相クロックの立ち上がりエッジを描いた波形図、(c)は16相の多相クロックの立ち上がりエッジを描いた波形図である。

【図5】 本発明の実施の形態4のデジタル位相制御回路の概略図である。

【図6】 本発明におけるクロックエッジの位置関係を示す模式的波形図であり、(a)は 312.5 MHz のクロックの波形図、(b)は7相の多相クロックの立ち上がりエッジを描いた波形図、(c)は16相の多相クロックの立ち上がりエッジを描いた波形図である。

【図7】 本発明の実施の形態5のデジタル位相制御回路の概略図である。

【図8】 本発明の実施の形態6のデジタル位相制御回路の回路図である。

【図9】 本発明の実施の形態6のデジタル位相制御回路の部分図である。

【図10】 本発明の実施の形態6のデジタル位相制御回路の部分図である。の概略回路図である。

【図11】 従来例における位相補間器(Phase interpolator)のコア部1の概略回路図である。

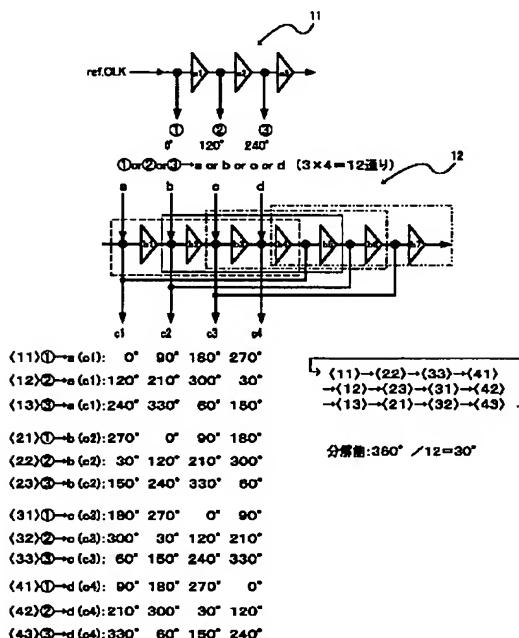
【図12】 従来例におけるDACコントローラ3及び選択信号の一例を示す概略図である。

【図13】 オバーサンプリング方式のクロックリカバリにおけるデータとクロックの模式的波形図である。

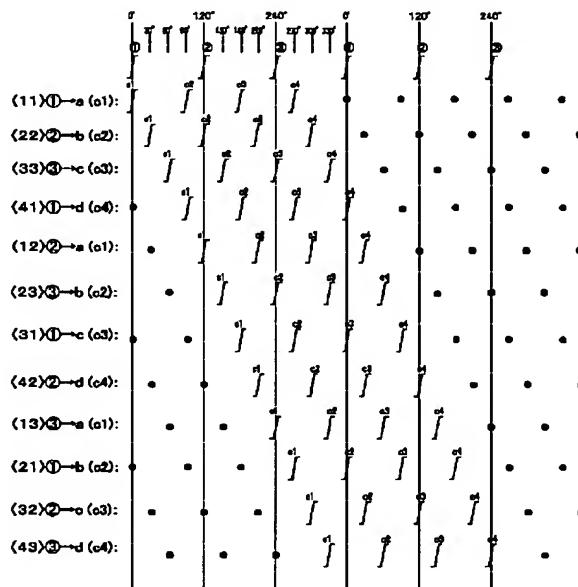
*【符号の説明】

- 11、14、16、19…第一の遅延線
- 12、13、15、17、22…遅延バッファ列
- 18、40…遅延ロックループ
- 20…第一の選択回路
- 21…第二の選択回路
- 23…位相比較器
- 27…切換回路
- 28…第二の遅延線
- *10 31、32、33…制御信号

【図1】

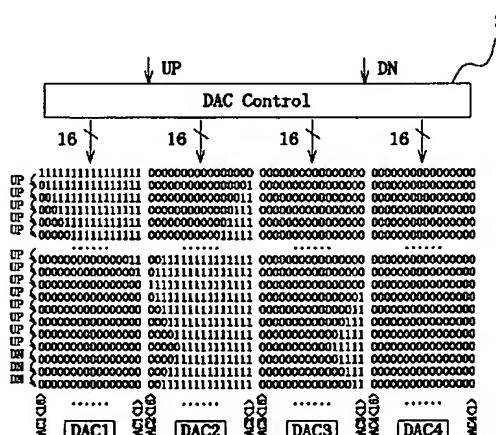
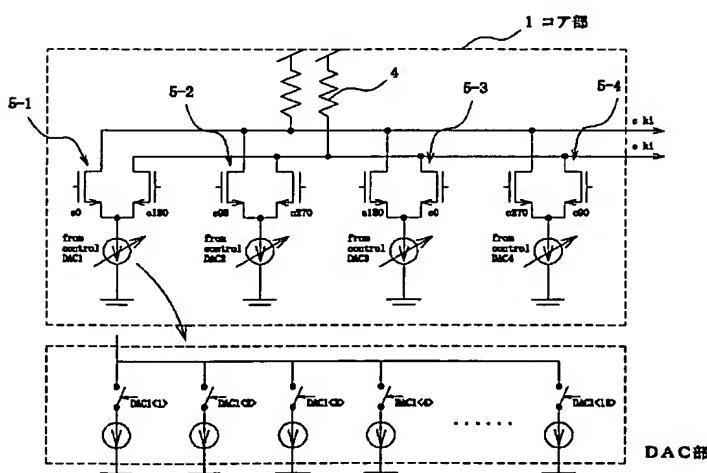


【図2】

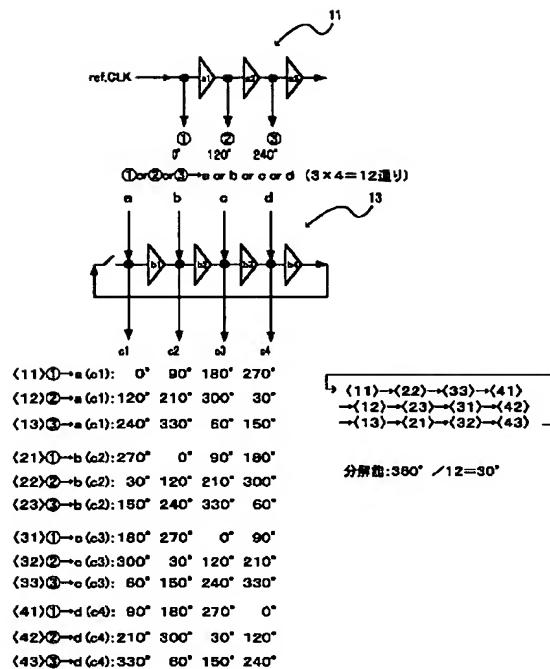


【図12】

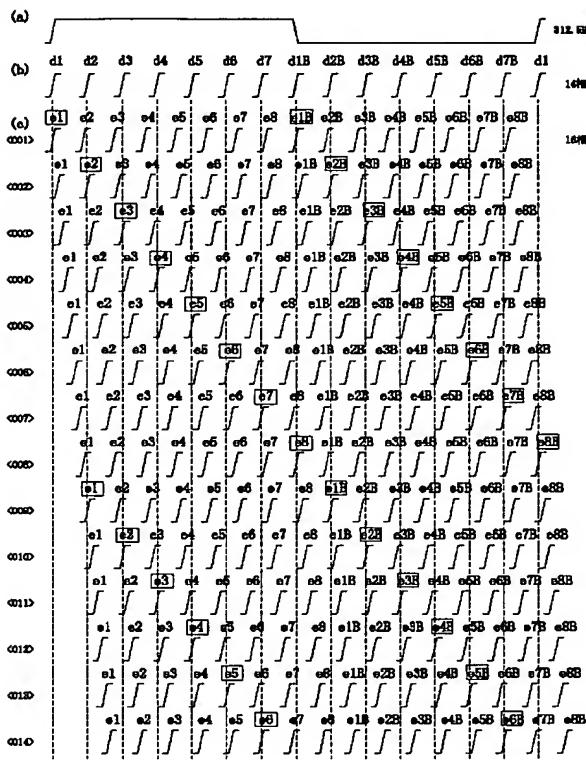
【図11】



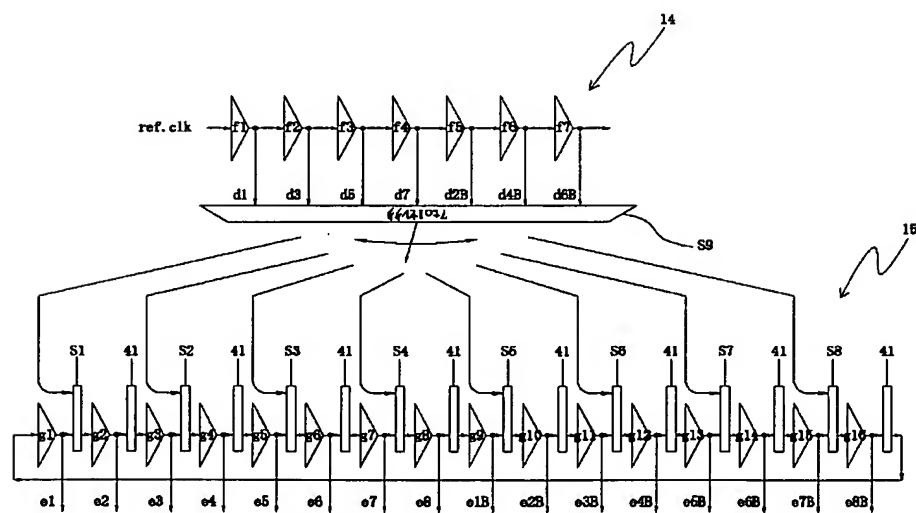
【図3】



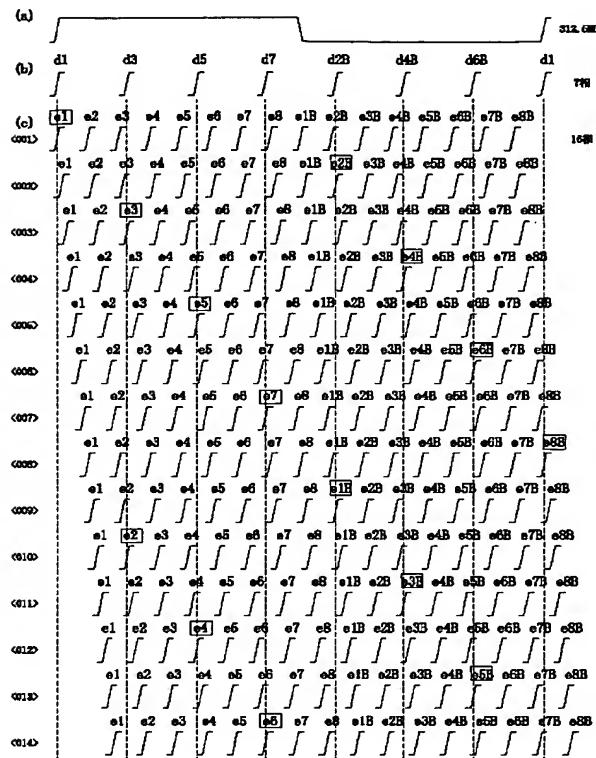
[図4]



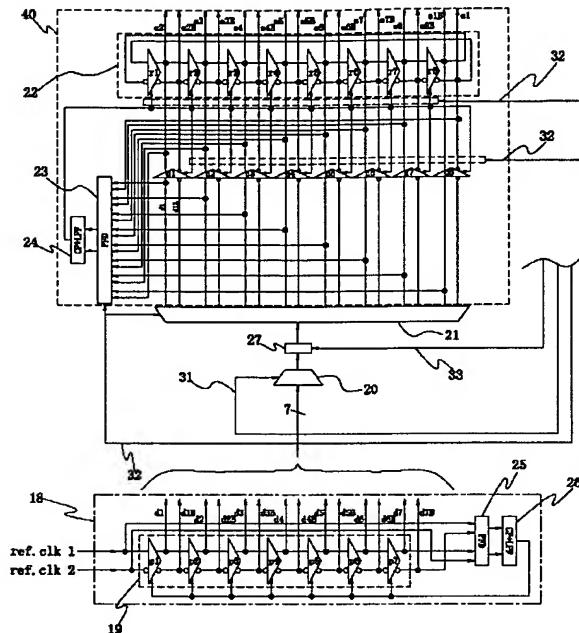
【図5】



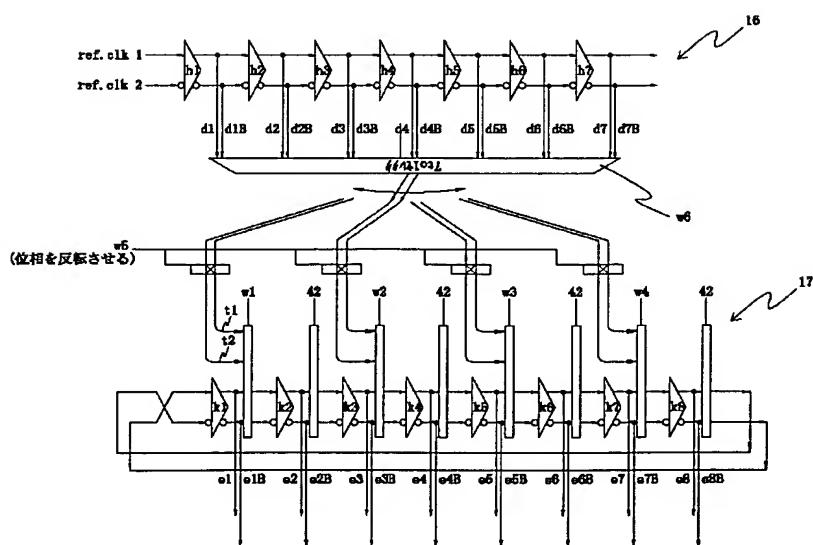
[図6]



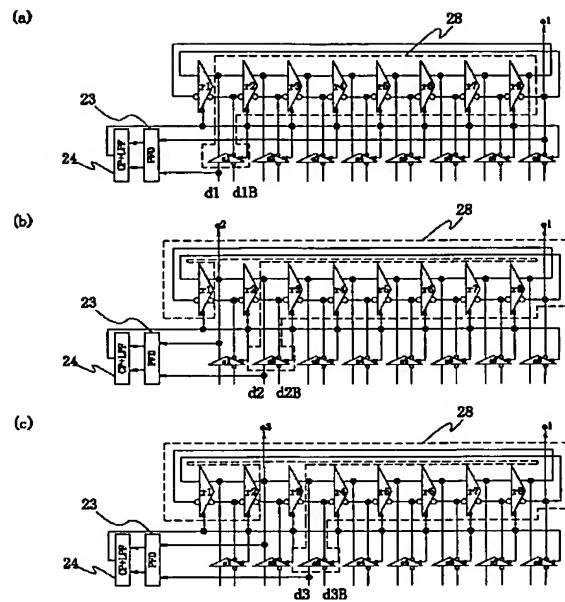
【図8】



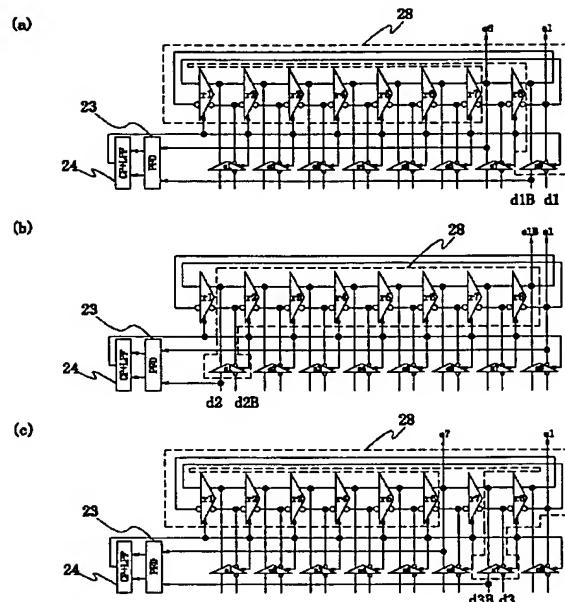
【図7】



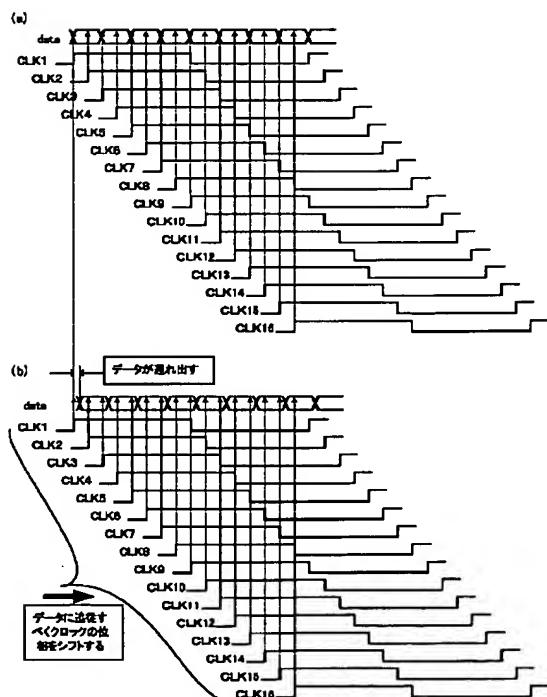
【図9】



【図10】



【図13】



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	マークド(参考)
H 03 L	7/099	H 03 L	7/08
			F